

基于 FPGA 和 DSP 的高性能伺服控制器设计

蔡华祥^{1,2}, 刘兴中^{1,2}, 何 苗¹, 程 静³, 唐 杨^{1,2}

(1. 贵州航天林泉电机有限公司, 贵州 贵阳 550081;

2. 国家精密微特电机工程技术研究中心, 贵州 贵阳 550081;

3. 贵州装备制造职业学院, 贵州 贵阳 550008)

摘 要: 针对高性能伺服控制器对复杂的控制算法以及较小延时的需求, 研究了一种基于 FPGA 和 DSP 的高性能伺服控制器设计方法。FPGA 完成电流环、坐标变换、空间脉宽矢量调制、电流位置读取, DSP 则负责速度环、位置环和上位机通信, 使系统既能实现复杂的控制算法, 又能将延时控制到最小, 从而保证控制器的最佳性能。此外, 详细介绍了两者之间的通信方式以及三环控制器设计。试验数据结果表明, 伺服控制器速度环带宽能达到 100 Hz, 额定转速下稳速精度在 1 r/min 以内, 定位精度能达到 0.02°, 证实了该控制器结构的实效性。

关键词: 高性能伺服控制器; FPGA; 延时; 带宽; 定位精度

中图分类号: TM 301.2 文献标志码: A 文章编号: 1673-6540(2018)07-0045-06

Design of High Performance Servo Controller Based on FPGA and DSP

CAI Huaxiang^{1,2}, LIU Xingzhong^{1,2}, HE Miao¹, CHENG Jing³, TANG Yang^{1,2}

(1. Guizhou Aerospace Linquan Motor Co., Ltd., Guiyang 550081, China;

2. National Engineering Research Center for Small and Special Precision Motors, Guiyang 550081, China;

3. Guizhou Equipment Manufacturing Vocational College, Guiyang 550008, China)

Abstract: In order to realize the complex control algorithm and the small delay demand for the high performance servo controller, a design method of high performance servo controller based on FPGA and DSP was studied. The FPGA completes the current loop, coordinate transformation, SVPWM and reading current and position. DSP was responsible for the communication between speed loop, position loop and host computer. Thus system could realize complex control algorithm and reduce delay to the minimum, so as to ensure the best performance of the controller. In addition, the communication mode between the two chips and the design of the three loops controller were also introduced in detail. The final experimental data showed that the speed loop bandwidth of the servo controller can reach 100 Hz, and the steady speed accuracy was within 1 r/min under the rated speed, and the positioning accuracy can reach 0.02 degrees, which confirms the effectiveness of the controller structure.

Key words: high performance servo controller; FPGA; delay; bandwidth; positioning accuracy

0 引 言

高性能伺服控制系统广泛应用于机器人、转台、电动汽车以及数控机床等领域。^[1] 随着微电子技术、电力电子技术的飞速发展, 各类专用控制芯片开始在伺服控制系统中不断涌现, 如 DSP、

Renesas、ARM 等^[2]。这些微处理器不断提升伺服控制系统的性能。然而, 随着技术的不断突破, 对伺服系统的性能要求也越来越高。以单片 CPU 芯片为核心的控制系统, 无法同时高效地完成数据通信、信号传输、数据采集及复杂控制算法等。随后相继出现了以双 DSP^[3]、ARM+DSP^[4]、

作者简介: 蔡华祥(1989—), 男, 博士, 工程师, 研究方向为高精度伺服控制技术。

ARM+FPGA^[5]、DSP+FPGA^[6-7]等双核芯片为核心主控系统。多核控制的高性能伺服控制器,将是未来伺服系统一个重要的研究方向。对于控制系统,主要影响性能的是控制器算法以及系统延时,而内环(电流环)对系统延时要求最高,很多文献都已详细分析电流环带宽主要取决于系统的延时^[8-9]。外环则对算法要求更高。

基于此,本文介绍了一种基于FPGA和DSP为核心的双核伺服控制器。电流环、矢量控制坐标变换、空间脉宽矢量调制(Space Vector Pulse Width Modulation, SVPWM)及位置信号、电流信号读取放在FPGA执行,DSP则负责位置环、速度环及上位机通信,以此来充分发挥两者的优势,提升伺服控制器的性能。

1 控制系统硬件平台设计

为使强电和弱电实现分离,减小强电对信号线的干扰,该高性能伺服控制器采用了2块板卡:控制板和驱动板。此外该控制系统还包含1台带旋转变压器的永磁同步电机。控制系统硬件平台如图1所示。

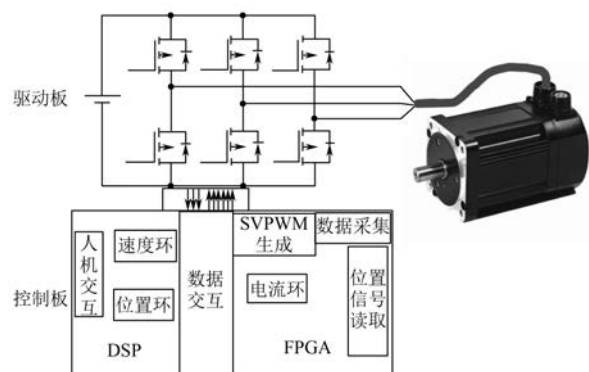


图1 控制系统硬件平台

驱动板主要由逆变电路、相电流采样电路、母线电压采样电路、驱动电路及光耦隔离电路组成。逆变电路主要由分离的MOS管搭建而成,由于系统功率为200 W左右,驱动管选用IXYS公司的MOS管。驱动芯片采用IR2110,控制板输入到驱动板之间6路脉宽调制(Pulse Width Modulation, PWM)信号首先采用光耦隔离;随后经过由IR2110搭建的驱动电路进行电流放大;最后转化为6个MOS管的开关信号。电机的相电流由专

用的LEM公司电流传感器转化为电压信号送到控制板,作为电流环的反馈信号。母线电压则主要采样回来作为控制系统的过压保护信号输入。

控制板包括DSP最小系统电路和FPGA最小系统电路,此外还有旋变解码电路、相电流采样电路、串口转换电路。DSP和FPGA分别选取TMS320F2812和EP3C25E144C7N两款芯片。旋变解码电路的核心是AD2S1210芯片,利用FPGA对其操作,可获取同步电机的位置信号。控制板的功能主要包括:

- (1) 接收速度指令和位置指令;
- (2) 完成位置环、速度环和电流环控制算法;
- (3) 获取同步电机实时位置;
- (4) 获取同步电机实时相电流;
- (5) 输出PWM控制信号;
- (6) 向上位机实时反馈电机状态,如位置,转速,电流等。

2 控制系统软件设计

2.1 DSP软件设计

DSP主要完成控制系统的速度环和位置环控制算法,辅助完成与上位机的通信及与FPGA的通信等功能。速度环和位置环采用的控制算法为带积分限幅的PI控制器和输出限幅比例控制器。

积分限幅PI控制器:

$$G_v(s) = \begin{cases} K_{pv}e(t) + K_{iv} \cdot K_{imax}, & e(t) > K_{imax} \\ K_{pv}e(t) + K_{iv} \cdot \int_0^t e(\tau) d\tau, & \text{其他} \\ K_{pv}e(t) - K_{iv} \cdot K_{imax}, & e(t) < -K_{imax} \end{cases} \quad (1)$$

比例控制器:

$$G_p(s) = K_p e(t) \quad (2)$$

DSP控制程序框图如图2所示。

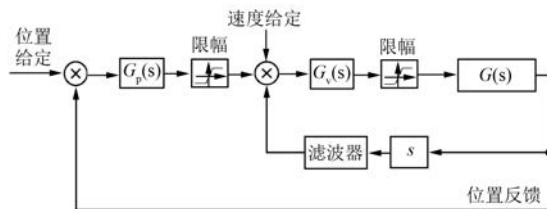


图2 DSP控制程序框图

DSP软件执行流程框图如图3所示。

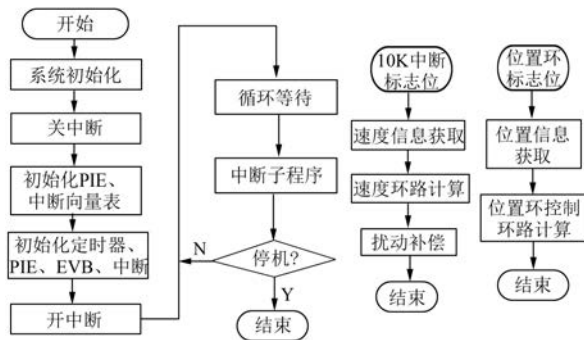


图3 DSP 程序执行流程图

DSP 输出信号主要有 2 部分:一部分是通过总线传输给 FPGA,主要是电流环的给定值;另一部分是通过串口发送给上位机,主要有同步电机的相电流、转速及位置信号等。

2.2 FPGA 软件设计

FPGA 软件部分是整个控制系统的核心组成部分,主要完成电流环、Clark 变换、Park 变换、SVPWM 控制信号生成、位置信号获取、电流信号获取等。

同步电机系统模型本身是一个非线性系统,且变量之间互相耦合,难以对其进行精确的控制。将系统模型简化,同步电机电压方程如下:

$$\begin{cases} u_d = R_s i_d + \frac{d\psi_d}{dt} - \omega \psi_q \\ u_q = R_s i_q + \frac{d\psi_q}{dt} - \omega \psi_d \\ \psi_q = L_q i_q \\ \psi_d = L_d i_d + \phi \end{cases} \quad (3)$$

式中: u_d 、 u_q ——dq 坐标下的 d 轴、q 轴电枢电压分量;

i_d 、 i_q ——dq 坐标下的 d 轴、q 轴电枢电流分量;

R_s ——电枢绕组电阻;

ψ_d 、 ψ_q ——dq 坐标下定子磁链分量;

ϕ ——转子磁钢在定子绕组上的耦合磁链;

L_d 、 L_q ——dq 坐标下的 d 轴、q 轴等效电枢电感分量^[10]。

对于 d 轴和 q 轴电枢电流 i_d 、 i_q 则是利用 AD 采样回来的相电流 i_A 、 i_B 、 i_C 通过 Clark 变换、Park 变换而来。通过 Clark 变换和 Park 变换将电机三相交流电信号转换为旋转坐标系下的两相直流信号,从而可以将同步电机当作直流电机一样控制。

Clark 变换公式如下:

$$\begin{bmatrix} i_a \\ i_b \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_A \\ i_B \\ i_C \end{bmatrix} \quad (4)$$

Park 变换公式如下:

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} \cos\theta & \sin\theta \\ -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} i_a \\ i_b \end{bmatrix} \quad (5)$$

同步电机运动学方程如式(6)所示:

$$T_e = \frac{3}{2} n [\phi \cdot i_q + (L_d - L_q) i_d] \quad (6)$$

在表贴式同步电机中,由于 $L_q \approx L_d$,进而有如下关系:

$$T_e \approx \frac{3}{2} n \phi i_q \quad (7)$$

因此,对于表贴式同步电机而言,通常采用 $i_d=0$ 的控制方式。通过控制直轴电流 i_q 可间接地控制同步电机电磁转矩,进而控制同步电机的转速。

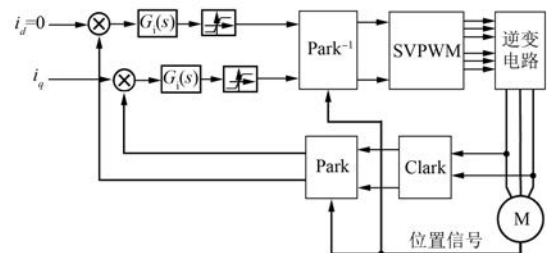


图4 FPGA 程序执行流程图

电流环控制器同样采样的是积分限幅 PI 控制器,尽管电流环是 2 个控制回路 i_d 和 i_q ,但两环可以采样相同的控制器,控制器结构如下:

$$G_i(s) = \begin{cases} K_{pi} e(t) + K_{ii} \cdot K_{imax}, & e(t) > K_{imax} \\ K_{pi} e(t) + K_{ii} \cdot \int_0^t e(\tau) d\tau, & \text{其他} \\ K_{pi} e(t) - K_{ii} \cdot K_{imax}, & e(t) < -K_{imax} \end{cases} \quad (8)$$

2.3 DSP 与 FPGA 通信调试

DSP 与 FPGA 之间的高速通信至关重要。为降低两者通信的延时,方案中采取了总线通信的方式。两者通信时,DSP 作为主,FPGA 作为从,每次通信都由 DSP 发起。DSP 主要完成速度环

和位置环, FPGA 完成电流环、电流信号读取、位置信号读取以及速度信号计算, 两者协同工作。电流环频率取为 20 kHz, 速度环频率为 10 kHz, 位置环为 5 kHz。

整个控制器时钟由 FPGA 控制, 控制器上电后, FPGA 首先产生 1 个 20 kHz 的系统时钟, 该时钟控制位置读取模块和电流采样模块同时进行; 此外该时钟作为 DSP 一个外部中断。当 DSP 接收到 20 kHz 的中断信号后, 首先进行分频, 产生 10 kHz 的标志信号, DSP 开始执行速度环程序, 同时在速度环内再次作分频, 使位置环执行频率为 5 kHz。其目的主要依据内环执行频率要远高于外环执行频率, 以便电机能够响应相应的控制命令。

由于 DSP 与 FPGA 之间的数据交互都由 DSP 发起的, 所以可以将 FPGA 作为系统的外扩存储器, 扩展区位于 DSP zone 2 (0x 080000~0x 100000)。FPGA 将 DSP 所需的位置、速度和电流等信号放到总线上。系统上电时, DSP 实时读取通信总线上的数据, 并发送到上位机显示出来。DSP 控制整个控制器的使能, 当 DSP 接收到上位机发送的使能信号时, 系统才开始计算速度环、位置环、电流环以及 PWM 输出, 否则控制器到电机没有输出。当 DSP 接收到中断信号以及使能信号时, 才将计算出的电流环给定信号写到总线上。

FPGA 内通信部分关键代码如下:

```
assign PXD = temp_flag1 ? out_fpga_data :
16'hz;
assign MOTOR_ENABLE = WE15_ENABLE
[7:0];
always @ (posedge CLK or negedge
nRESET)
begin
    if (! nRESET)
    begin
        temp_flag1 <= 0;
        out_Xint1 <= 1;
        out_Xint2 <= 1;
    end
    else
    begin
```

```
        out_Xint1 <= (! SpdStartPulse);
        out_Xint2 <= (! PosStartPulse);
        if(1'b0 == CS)
        begin
            if(1'b0 == RD)
            begin
                case(PXA)
                    4'd1: out_fpga_data <= RD1 _
Position; //反馈位置读取
                    4'd2: out_fpga_data <= RD2 _
Velocity; //反馈速度读取
                    4'd3: out_fpga_data <= RD5_IU; //U 相电流
读取
                    4'd4: out_fpga_data <= RD6_IW; //W 相电
流读取
                endcase
                temp_flag1 <= 1;
            end
            if(1'b0 == WE)
            begin
                case(PXA)
                    4'd0: WE0_IQ <= PXD[15:0];
                    4'd9: WE9_ID <= PXD[15:0];
                    4'd10: WE15_ENABLE <= PXD[15:0];
                endcase
                temp_flag1 <= 0;
                dsp_pwm_enable <= WE15_ENABLE[0];
            end
        end
    end
```

DSP 与 FPGA 内部程序执行流程如图 5 所示。

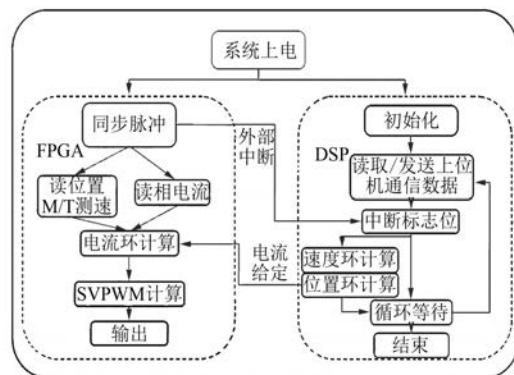


图5 DSP 与 FPGA 内部程序执行流程图

3 试验验证

本次试验所选用的电机为科尔摩根公司研制的 AKM21G 系列伺服电机,电机上带有旋转变压器作为位置传感器。电机主要参数如表 1 所示。

表 1 电机主要参数

参数名称	参数值
转动惯量/(kg·cm ⁻²)	0.11
转矩常数/(N·m·A ⁻¹)	0.1
反电动势/(V/kr·min ⁻¹)	6.6
电感/mH	2.18
电阻/Ω	1.44
极对数	3

控制系统主要芯片有 DSP、FPGA 和旋变解码芯片。DSP 芯片选用的是 TI 公司的 F2812 芯片,FPGA 选用的是 Altera 公司的 Cyclone III 系列芯片。位置信号获取则是利用 AD2S1210 芯片对旋转变压器出来的正余弦信号获得。系统性能试验主要测试控制器速度环带宽、稳速精度以及定位精度试验。

3.1 控制器速度环带宽测试试验

由于系统频谱分析需要大量的试验,同时数据存储也需要大量的空间,因此只是通过给定控制器不同频率信号的正弦信号,测试相应的输出速度信号,两者对比分析系统带宽。带宽一般指幅值衰减-3 dB(衰减 0.707 倍)或相位滞后 45°。该试验主要通过查看输出速度信号跟踪给定参考正弦信号的情况,通过其幅值衰减和相位滞后来判断系统带宽。

首先给定速度环参考信号分别为 50、80、100、150 Hz 的 4 组正弦信号,即:

$$\begin{aligned}\omega_1 &= 25.6 \times \sin(2\pi \cdot 50t) \\ \omega_2 &= 25.6 \times \sin(2\pi \cdot 80t) \\ \omega_3 &= 25.6 \times \sin(2\pi \cdot 100t) \\ \omega_4 &= 25.6 \times \sin(2\pi \cdot 150t)\end{aligned}\tag{9}$$

4 组给定的正弦信号及相应的输出信号,结果如图 6 所示。

从图 6 可以看出,50~150 Hz,系统幅值衰减程度在增加,到 150 Hz 时,信号衰减已接近低于给定赋值的 0.7 倍,且此时信号相位已经反相,即相位滞后 180°。在 100 Hz 时,幅值衰减到约 0.8

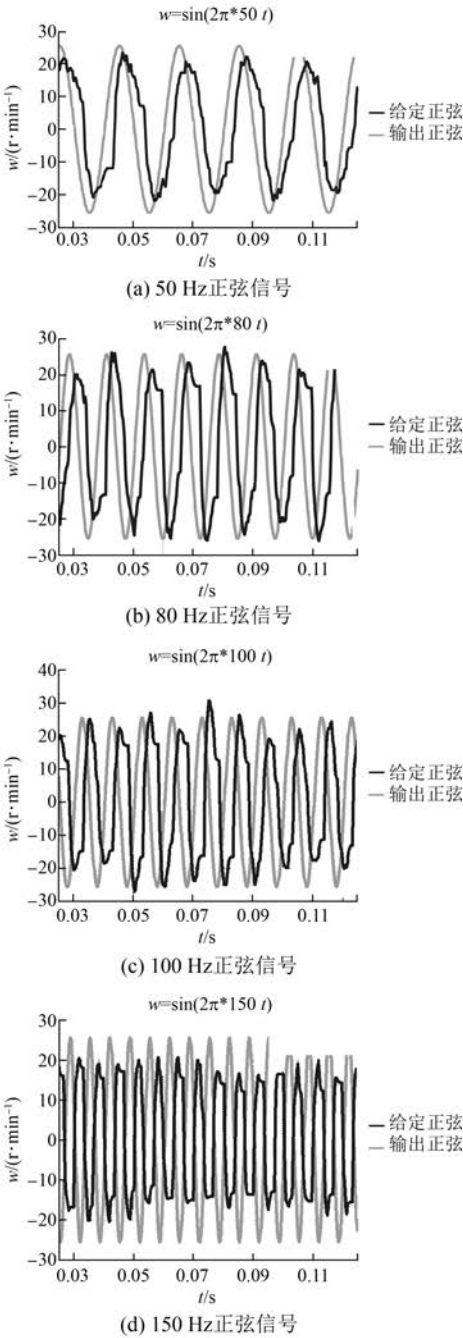


图 6 控制器速度环带宽测试结果

倍,相位滞后接近 90°。说明控制器速度环带宽为 100 Hz。

3.2 稳速精度测试试验

为反映控制系统调速性能,试验测试了电机在转速为 1 000 r/min 时的运行情况。运行结果如图 7 所示。图 7(a)所示为电机从零速加速到 1 000 r/min 时的工作情况,可以看到系统没有超调,且响应速度快。图 7(b)所示为电机在

1 000 r/min 时的局部放大图, 可以看到电机能够在 1 000 r/min 时稳定运行, 且最大误差均不超过 1 r/min, 说明电机高速特性运行良好。

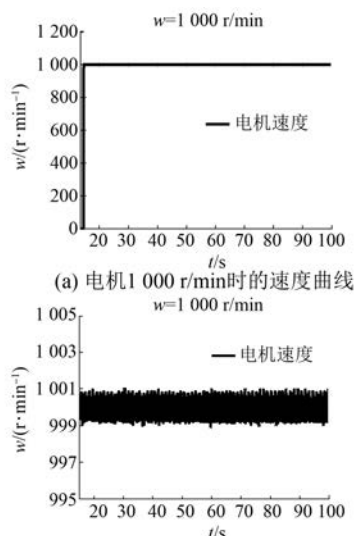


图 7 电机 1 000 r/min 时的速度跟踪曲线

3.3 定位精度测试试验

给定位置值为 16 381, 对应实际位置角度为 359.93。跟踪结果如图 8 所示。图 8(b) 为图 8(a) 的局部放大图。从图 8 中可以发现位置误差依然控制在一位以内。从而可以说明系统的定位精度能控制在一位以内, 以及定位精度约 0.02°。

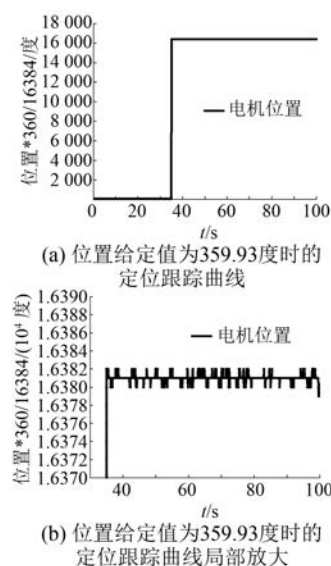


图 8 电机位置跟踪曲线

4 结 语

本文所设计的基于 FPGA 和 DSP 的高性能伺服控制器充分利用 FPGA 和 DSP 优势。FPGA 完成信号采集、位置解算、电流环矢量控制等功能。DSP 除完成速度环和位置环等关键算法外, 还完成与上位机的数据交互。两者协同工作, 并通过总线方式进行数据交互, 有助于数据高速通信, 并降低了系统延时。针对所选用的 AKM 伺服电机, 设计了相应的控制器。从试验数据来看, 控制器速度环带宽约 100 Hz, 额定转速下稳速精度为 1‰, 定位精度达到 0.02°。试验数据表明所提出的控制结构具备一定的实效性和工程使用价值。

【参考文献】

- [1] 于凯平, 郭宏, 吴海洋. 采用 DSP 和 FPGA 多电机速度伺服驱动控制平台[J]. 电机与控制学报, 2011, 15(9): 39-43.
- [2] 李叶松, 宋宝, 秦忆. 全数字交流永磁同步电机伺服系统设计[J]. 电力电子技术, 2002, 36(3): 26-28.
- [3] 赵磊, 杨东欣, 赵泽生, 等. 基于双 DSP 的永磁同步电机控制器的设计[J]. 工业设计, 2012(2): 236-238.
- [4] 王雷, 蒋静坪. 基于 ARM 和 DSP 的无刷直流电动机网络控制调速系统[J]. 北京工业大学学报, 2008, 34(3): 271-276.
- [5] 冯智贵. 基于 ARM+FPGA 的雷达伺服控制器设计[D]. 南京: 南京理工大学, 2008.
- [6] 邓永停, 李洪文, 王建立, 等. 基于 DSP 和 FPGA 的望远镜伺服控制系统设计[J]. 红外与激光工程, 2014, 43(3): 908-914.
- [7] 郭巍, 肖遥, 孙永佳. 基于 DSP 与 FPGA 的变流器通用控制平台研究[J]. 电气传动, 2014, 44(2): 22-26.
- [8] 王宏佳, 杨明, 牛里, 等. 永磁交流伺服系统电流环带宽扩展研究[J]. 中国电机工程学报, 2010, 30(12): 56-62.
- [9] 唐小琦, 苏玲宏, 周向东, 等. 基于 FPGA 的交流伺服系统电流环带宽扩展[J]. 华中科技大学学报(自然科学版), 2014(2): 1-5.
- [10] 廖豪恺. 高性能交流同步电机控制器研制[D]. 成都: 成都理工大学, 2015.

收稿日期: 2018-03-06