

本文全文线上首发由
上海电机系统节能工程技术
研究中心有限公司

支持

杨文杰.
寄生电感对于功率MOSFET开关特性的影响.
电机与控制应用, 2021, 48(12): 94.



SEARI
上電科

NCMS
上科电机

www.nems.com.cn

掌握电机行业制造核心技术,
辐射智能制造产业发展



科技改变未来
智慧创造价值

· 业务范围 ·



异步电机装配线



永磁电机装配线



悬挂链电机喷漆线

上海电机系统节能工程技术研究中心有限公司 www.nems.com.cn

地址: 上海市武宁路505号 手机: 18918357509 电话: 021-62574990-436

传真: 021-62163904 邮箱: wangcj@seari.com.cn

寄生电感对于功率 MOSFET 开关特性的影响

杨文杰

(华域汽车电动系统有限公司, 上海 200135)

摘要: 分散在 MOSFET 栅极、源极、漏极的寄生电感由于封装以及印制电路板 (PCB) 走线, 改变了 MOSFET 的开关特性。通过仿真分析对比, 指出 MOSFET 寄生电感存在如下特性: 源极电感对栅极驱动形成负反馈, 导致开关速度变慢, 采用开尔文连接, 可以将栅极回路与功率回路解耦, 提高驱动速度; 在米勒效应发生时刻需要合理地降低栅极电感来降低栅极驱动电流; 漏极电感通过米勒电容影响 MOSFET 的开通速度, 在关断时刻导致电压应力增加; 在并联的回路当中, 非对称的布局将导致 MOSFET 之间的动态不均流; 当 MOSFET 在开关过程中, 环路电感与 MOSFET 自身的结电容产生振荡时, 可以在电路增加吸收电容减小环路电感, 改变振荡特性。

关键词: 寄生电感; MOSFET 振荡; 开关特性; 并联; 米勒效应

中图分类号: TN 32 **文献标志码:** A **文章编号:** 1673-6540(2021)12-0094-10

doi: 10.12177/emca.2021.132

Influence of Parasitic Inductance on Switching Characteristics of Power MOSFET

YANG Wenjie

(Huayu Automotive Electric Drive System Co., Ltd., Shanghai 200135, China)

Abstract: The parasitic inductance scattered across the gate, source, and drain of the metal-oxide-semiconductor field-effect transistor (MOSFET) changes the switching characteristics of the MOSFET due to the packaging and printed circuit board (PCB) wiring. Through simulation analysis and comparison, it is pointed out that MOSFET parasitic inductance has the following characteristics. The source inductance forms a negative feedback on the gate drive, resulting in a slow switching speed. The Kelvin connection can decouple the gate loop and the power loop and quicken the driving speed. When the Miller effect occurs, the gate inductance should be reasonably reduced to reduce the driving current of the gate. The drain inductance influences the switching speed of MOSFET through Miller capacitance, resulting in an increase in voltage stress at the turn-off moment. In the parallel circuit, the asymmetrical layout will lead to the dynamic uneven current between MOSFETs. When the loop inductance oscillates with the junction capacitance of MOSFET in the switching process, the loop inductance can be reduced by adding the absorption capacitance in the circuit, and the oscillation characteristics can be changed.

Key words: parasitic inductance; MOSFET oscillation; switching characteristics; parallel connection; Miller effect

0 引言

功率 MOSFET 在电机控制以及开关电源等场合有着广泛的应用, 其工作系统的功率等级可

以从单个 MOSFET 的几十瓦到多管并联实现几十千瓦。在实际的应用当中, 由于 MOSFET 的封装以及 PCB 布局走线, 不可避免地在 MOSFET 工作电路中引入了寄生电感, 这些寄生电感分布在

收稿日期: 2021-07-09; 收到修改稿日期: 2021-11-11

作者简介: 杨文杰(1986—), 男, 工程师, 研究方向为电机与控制及电力电子器件的应用。

MOSFET 的栅极、漏极、源极,对 MOSFET 的开关动作产生了影响。对于单个 MOSFET,寄生电感可以影响到开通、关断的过程,导致 MOSFET 动态损耗增加,降低系统工作效率^[1-3]。或者与 MOSFET 自生的寄生电容产生振荡,产生各种电磁干扰,影响系统中其他元件的正常工作,严重的更会造成自身的误开通或关断,使 MOSFET 损坏^[4-7]。对于多个并联 MOSFET,寄生电感则可能使各个 MOSFET 之间开通关断过程的一致性降低,均流特性变差,使并联的 MOSFET 发热不平衡,降低工作过程中电压、电流余量,影响元器件性能发挥^[8-9]。本文借助 PSPICE 软件,搭建双脉冲仿真模型,分析了单个 MOSFET 开关过程中,寄生在漏极、源极、栅极的电感对开关特性的影响,结合实际的工程应用情况,重点分析在并联 MOSFET 布局下,不对称的布局导致的寄生电感对动态均流特性的影响。在开通关断过程中, MOSFET 功率回路的寄生电感与 MOSFET 寄生电容在参数不匹配情况下,容易发生振荡,而通过在开关环路增加吸收电容可以有效改变振荡特性。同时基于实物电路板中不同位置的 MOSFET 开关波形的对比,分析了布局的合理性。本文的分析对功率 MOSFET 的驱动以及并联应用具有一定的指导意义。

1 仿真模型的建立

双脉冲测试可以用来对功率开关器件的开关特性以及驱动效果进行研究验证。将双脉冲测试中的寄生参数进行一定简化,可以得到如下的 MOSFET 模型以及双脉冲测试电路。

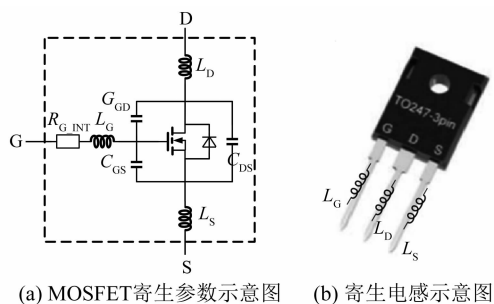


图1 MOSFET 模型

L_G 表示实际的栅极走线电感与 MOSFET 封装的寄生电感之和; L_S 表示封装的源极寄生电感

与走线的电感之和; L_D 表示封装漏极的寄生电感与走线的寄生电感之和; C_{GD} 、 C_{GS} 、 C_{DS} 表示栅极、漏极、源极之间的寄生电容; R_{G_INT} 表示 MOSFET 栅极自带的寄生电阻。

本文利用英飞凌官网的 MOSFET IPB072N15N3 I0 级模型搭建仿真系统,拓扑如图 2 所示,其中母线电压设定为 120 V,支撑电容值为 8.4 mF。

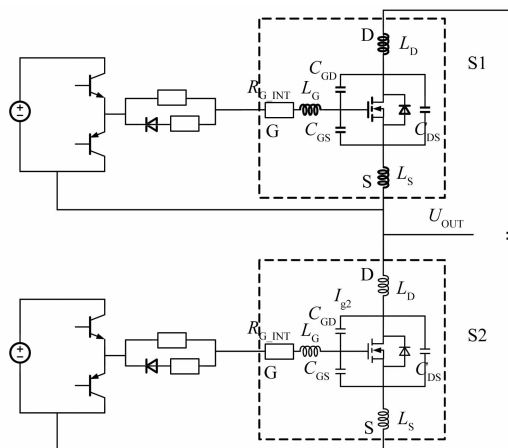


图2 双脉冲测试示意图

2 单 MOSFET 寄生漏极电感 L_D 、源极电感 L_S 、栅极电感 L_G 的影响

2.1 L_S L_G 的影响

L_S 串联在漏极,其抑制漏极电流的变化。 L_G 串联在栅极,其抑制驱动部分的输出电流的变化;驱动部分的信号经过 L_G 、外部驱动电阻 R_G 、内部栅极电阻 R_{G_INT} 、MOSFET 栅极、漏极电感 L_D ,形成回路。 L_S 既是主功率电路的一部分,也是栅极驱动回路的一部分。

根据 MOSFET 的开通时序,在开通过程:栅极电压 U_{GS} 从 MOSFET 开启电压 U_{GS_th} 到米勒平台 U_{GS_miller} ,漏极电流 I_D 受到栅极电压变化的控制, $I_D = gfs \cdot (U_{GS} - U_{GS_th})$,由于驱动功率回路的电流远大于栅极充电电流,此时 $\frac{dI_D}{dt} \gg \frac{dI_G}{dt}$,栅极驱动部分的可以简化成如下:

$$U_{GS} = U_{GS_DRIVER} - I_G \cdot (R_{G_INT} + R_G) - L_D \cdot \frac{dI_D}{dt} \quad (1)$$

漏极电流增加, L_s 感生出负电压串联在门极回路当中, 使实际的栅极电压明显低于外部驱动电压, 减小门极电压抬升速率, 降低驱动能力。

U_{GS} 到达米勒平台电压 U_{GS_miller} 之后, MOSFET 漏极电流 I_D 不再变化。当 MOSFET 源漏极电压 U_{DS} 发生跳变时, 由于米勒效应, 驱动器的驱动电流的大部分都流过米勒电容, MOSFET 栅极电压被拉低。栅极的寄生电感抑制前端驱动器的输出电流给 MOSFET 栅极供电。当栅极电感足够大时, 将使 MOSFET 栅极电压再次低于米勒平台电压, 而漏极电流随栅极电压变化, 使漏极电流也跟随变化, 从而产生漏极电流振荡^[10]。因此, 需要合理减小栅极的寄生电感 L_G , 并且匹配的驱动器的驱动能力要足够。

在关断过程当中, 漏极电流减小, L_s 感生出相对于驱动的正电压, 使门极电压抬升, 减缓门极电压降低过程。总体来看, 漏极电流变化通过 L_s 对栅极驱动形成负反馈。

由于典型的门极驱动模型均为推挽加后级的

RC 组成, 驱动电路在开通时通过 RC 对栅极进行充电, 关断时抽取栅极电荷。根据 RC 电路特性, 在开通过程其对栅极提供电荷的能力随开通时间延长而降低, 在关断过程抽取栅极电荷的能力随关断过程时间延长不断下降。当栅极电阻值过大或前级电源无法提供足够的驱动电流时, L_s 感生出的电压将会导致栅极开通过程关断, 或者关断过程再次开通, 漏极电流不再单调变化, 极端情况下导致上、下桥臂直通。

通过仿真单个 MOSFET 关断过程中栅极状态来说明 L_s 的影响。当外部驱动参数不变时, 在 MOSFET 开通或关断过程中, 跨导 gfs 随漏极电流增大而增大。即漏极电流变化率 $\Delta I_d/\Delta t$ 随漏极电流 I_D 增大而增大。设置母线电压为 120 V。用 V2 给定栅极控制的脉冲信号, 高电平为 $V2 = 12$ V, 低电平 $V1 = 0$ V。信号的上升时间 TR 、下降时间 TF 均为 $0.1 \mu s$ 。信号高电平持续脉宽 PW 为 $25 \mu s$, 信号周期 PER 为 $30 \mu s$, 仿真运行至 $35 \mu s$ 结束, 搭建仿真图如 3 所示。

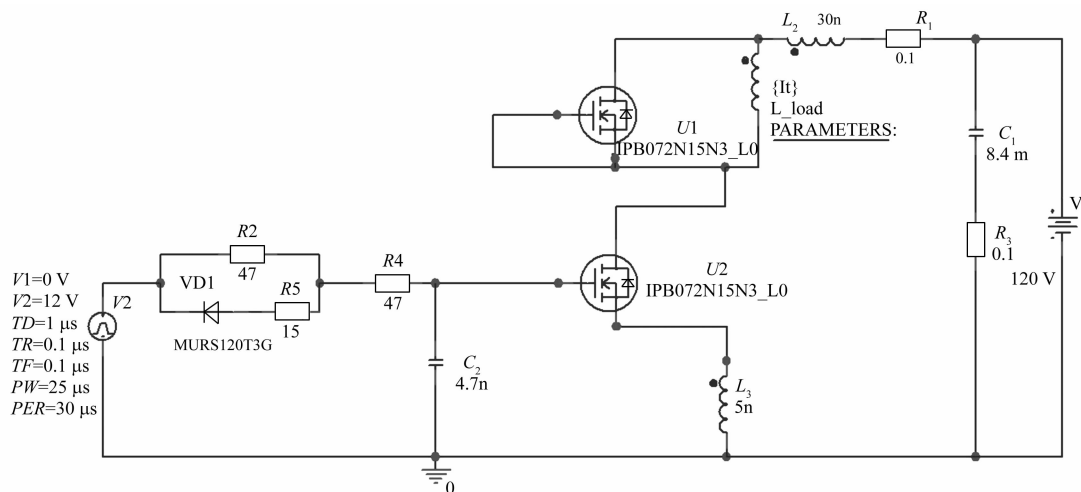


图3 L_s 关断过程影响双脉冲测试设置

通过双脉冲波形仿真, 保证测试脉宽不变, 改变负载电感 L_{load} 的值, 依次为 25 、 50 、 $75 \mu H$, 从而改变负载电流, 进一步改变 $\Delta I_d/\Delta t$, 关断过程中 U_{GS} 变化波形如下。

采用开尔文连接可以减小 MOSFET 封装中 L_s 对于栅极控制部分的影响。其将栅极的控制回路与功率回路部分解耦, 使控制部分不被功率部分干扰, 尽可能减少驱动电压的非预期变化。

设置仿真模型, 模拟栅极控制部分与流经大电流回路未解耦与解耦两种情况。设置母线电压为 120 V。分别用 U_2 、 U_4 给定栅极控制的脉冲信号, 高电平为 $V2 = 12$ V, 低电平 $V1 = 0$ V。信号的上升时间 TR 、下降时间 TF 均为 $0.1 \mu s$ 。信号高电平持续脉宽 PW 为 $25 \mu s$, 信号周期 PER 为 $30 \mu s$, 仿真运行至 $35 \mu s$ 结束。

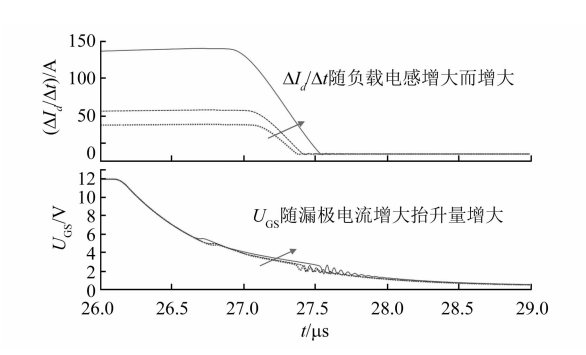
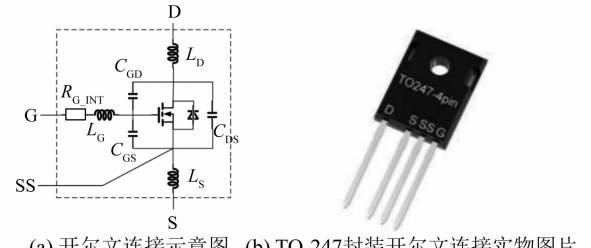


图 4 关断过程中 U_{GS} 随漏极电流增大而出现抬升

对比 U_2 与 U_4 , 从 U_{DS} 、 U_{GS} 、 I_D 波形可以看到, 解耦之后的整体的开关速度加快。



(a) 开尔文连接示意图 (b) TO-247封装开尔文连接实物图片

图 5 开尔文连接

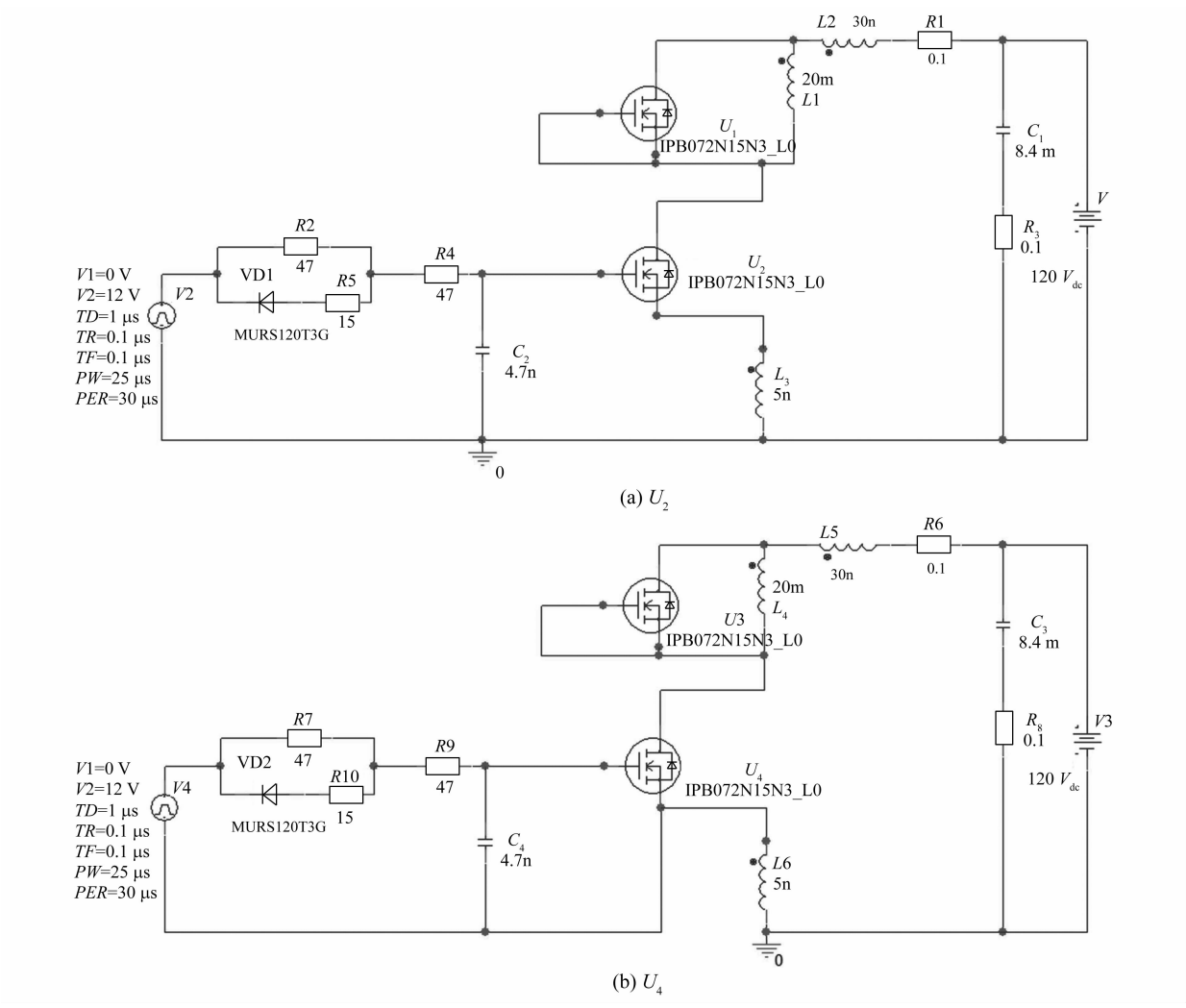


图 6 栅极控制部分与流经大电流回路未解耦与解耦电路对比

根据仿真结果, 对 MOSFET 开关特性中的部分关键参数做比较, 如表 1 所示。

根据上述的分析可以确认, 减小 L_S , 可以明

显提高开通关断速度, 减少 MOSFET 的开关损耗, 提高系统效率。

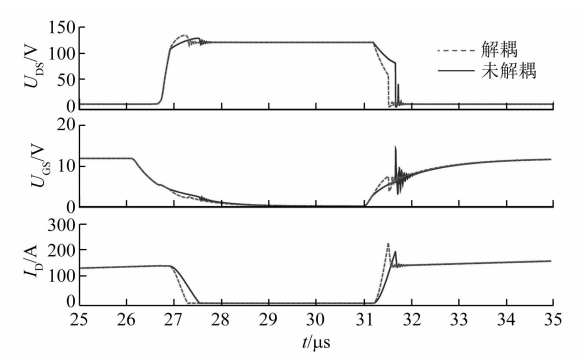


图 7 未解耦与解耦电路波形对比

表 1 开尔文连接与普通连接测试参数对比			
名称		开尔文连接	普通连接
MOSFET 峰值功率损耗/kW		15.53	15.43
MOSFET 在 0~35 μs 损耗/mJ		8.68	12.12
U_DS_MAX/V		134.5	128.8
关断过程	I_D 下降时间		
	(10%~90% I_D)/ns	312	536
	I_D_QRR/A	227	193
开通过程	I_D 上升时间		
	(10%~90% I_D)/ns	190	309

2.2 L_D 的影响

在开关过程当中,漏极电流的变化在 L_D 上产生了感应电动势。其感应电动势方向总是抑制漏极电流的变化,在开通过程当中,L_D 导致 MOSFET 的漏源极之间的 U_{DS} 电压低于母线电压,在关断过程,L_D 导致 MOSFET 的漏源极之间的电压 U_{DS} 高于母线电压。

根据开通过程中 MOSFET 栅极电流的节点方程,可以得到如下公式:

I_G = C_{GS} dU_{GS}/dt + C_{GD} d(U_{DS} - U_{GS})/dt (2)

由于漏极电流变化,在 L_D 上产生感应电压,产生了变化的 U_{DS},减小的 U_{DS} 使米勒电容 C_{GD} 容值增大,MOSFET 栅极电容 C_{GS} 获取的充电电流减小,开通速度变慢,增加损耗。在关断过程,L_D 上的电压与母线电压一起叠加于 MOSFET 的漏极上,增加了由源漏极过压而导致的击穿的可能。

通过如下仿真可以确认 L_D 的影响:

从仿真可以看到,受 L_D 影响最为严重的是 U_{DS},其降低了 MOSFET 承受电压应力的能力。同时 L_D 会通过米勒效应产生一定的开关速度延时,进一步增加开关损耗。

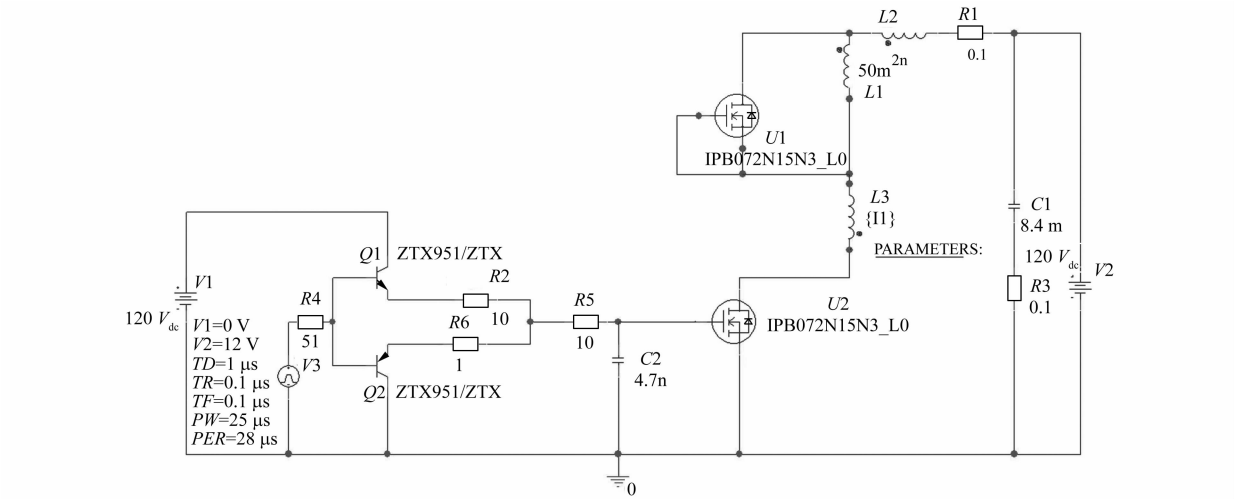


图 8 漏极电感 L_D 仿真模型

3 并联 MOSFET 在 PCB 布局中受寄生电感的影响

当芯片封装固定之后,封装引脚产生的寄

生电感 L_D、L_S、L_G 便固定不变,电路中更多的等效杂散电感来源于 PCB 布局走线。

应用于大功率逆变电路中,典型的单层铝基板多 MOSFET 并联布局,根据 MOSFET 的功率汇总端相对于 MOSFET 的位置,在源极以及漏

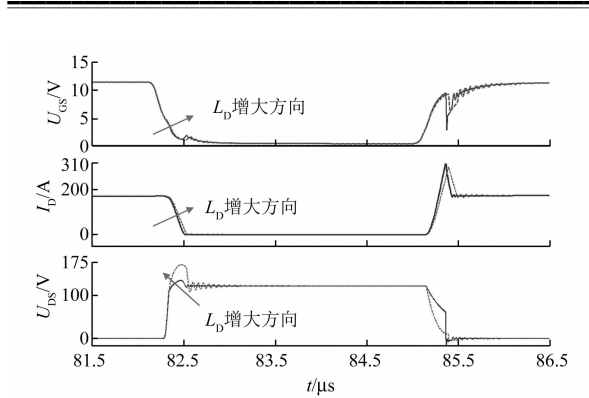


图9 漏极电感影响对比

极在形成的寄生电感可以分为图 10 的 3 种布局以及图 11 的 3 种布局。当 MOSFET 参数一致,寄生电感的感量一致,共用同一栅级驱动信号源时,根据功率部分电流的流向,可以确定:针对 A 布局, MOSFET 开关速度总是 $S3 > S2 > S1$; 针对 B 布局, MOSFET 开关速度总是 $S1 > S2 > S3$; 针对 C 布局, MOSFET 开关速度总是 $S1 = S3 > S2$;

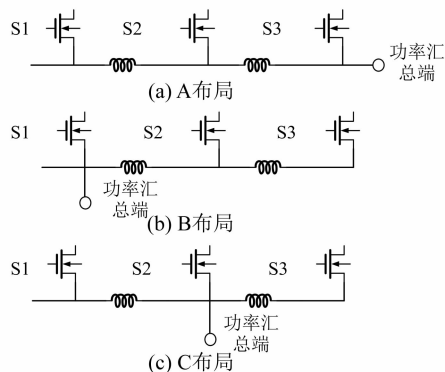


图 10 并联 MOSFET 源极电感分布

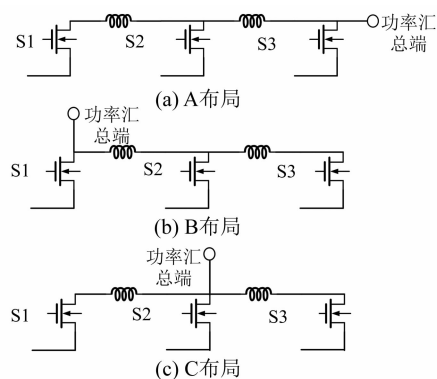


图 11 并联 MOSFET 漏极电感分布

对于并联的 MOSFET 中,在关断时刻漏极承

受的电压大小同样可以分析得出:针对 A 布局, U_{DS} 电压应力总是 $S1 > S2 > S3$; 针对 B 布局, U_{DS} 电压应力总是 $S3 > S2 > S1$; 针对 C 布局, U_{DS} 电压应力总是 $S2 > S1 = S3$;

图 10、图 11 中 A、B 两种布局对称,仿真对比以 A、C 两种布局搭建模型,分别如图 12(a) 和图 12(b) 所示,其中由于布局导致 6 处寄生电感感量均取 5 nH,设计负载电感为 20 μ H,设置母线电压为 120 V。分别用 U_2 、 U_4 给定栅极控制的脉冲信号,高电平为 $V2 = 12$ V,低电平 $V1 = 0$ V。信号的上升时间 TR 、下降时间 TF 均为 0.1 μ s。信号高电平持续脉宽 PW 为 25 μ s,信号周期 PER 为 28 μ s,仿真运行至 80 μ s 结束,为了便于分析,取 53~63 μ s 这一既包括开通又包括关断的时间进行分析。

以下桥的开关管作观察对象,对比观察流过单个 MOSFET 栅极电压、漏极电流、源漏极电压的波形,如图 13 所示。

从以上的对比可以明显看到,在开通的瞬间,非对称的布局导致了明显的开通关断漏极电流差异, U_4 、 U_5 、 U_6 栅极波形呈现出三条完全不同的斜率,而 U_{10} 与 U_{12} 栅极波形重合,与 U_{11} 有一定的偏差。当功率回路存在一定的寄生电感,只要各个 MOSFET 之间的功率回路对称互不耦合,寄生感量接近,也可以解决 MOSFET 之间动态的开关特性差异。同时可以看到,当 MOSFET 处于稳定导通时,由于 MOSFET 导通电阻相等,最终流过 MOSFET 的漏极电流相同,稳压导通时 MOSFET 均流状态良好。在并联应用的过程中,对 MOSFET 导通电阻筛选匹配,可以减小稳态的损耗差异。

4 寄生电感产生的振荡以及消除

4.1 振荡产生的原因

图 14 为电机控制器中的单相输出工作过程的等效示意图,其中 C_{DC_LINK} 表示母线支撑电容,一般选用电解电容; L_{BUS} 为母线回路的电感。本文以 S2 关断续流到 S1 开通过程中出现的振荡来做分析。

(1) 在 S1 开通前, S2 通过体二极管续流,此过程负载电感 L_{PHASE} 中电流不能突变,可以将其等效成一恒流源。由于二极管的钳位作用, S2 两端电压为 S2 的体二极管的压降,电流路径如

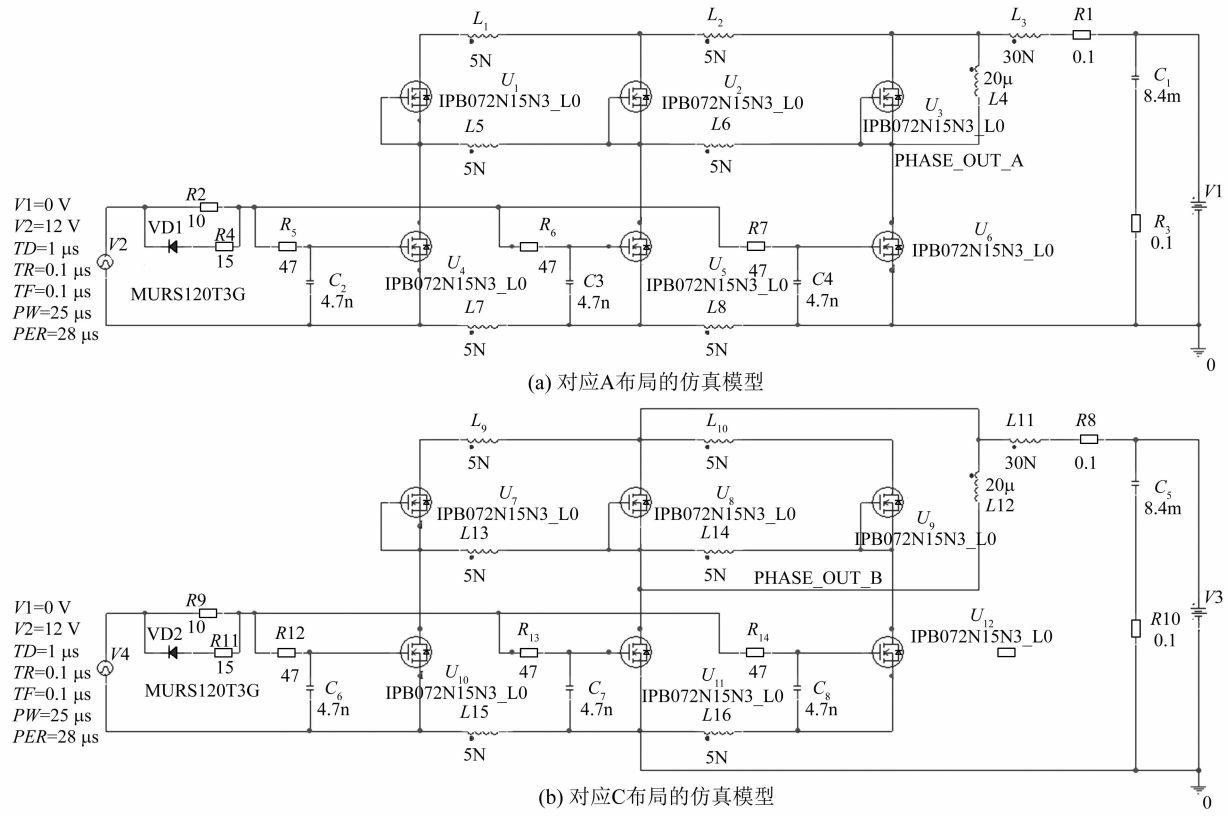


图 12 功率回路对称并联布局仿真模型

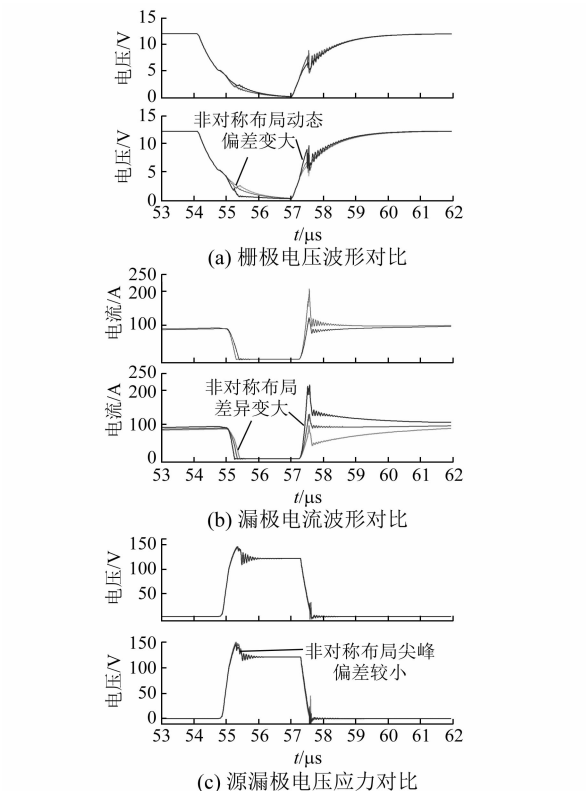


图 13 功率回路对称与非对称布局仿真结果对比

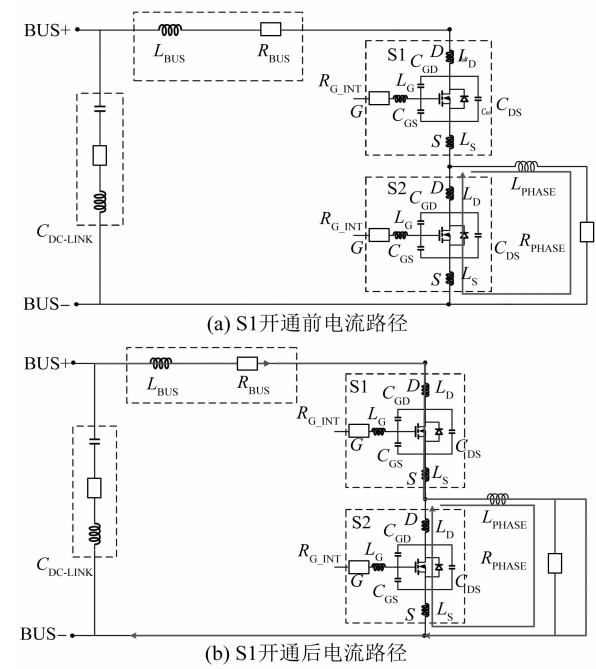


图 14 等效示意图

图 14(a) 所示。

(2) S1 开通以后, 流过 S1 的电流上升。当

流过 S1 电流仍然小于 L_{PHASE} 电流时, S2 两端电压为 S2 的体二极管的压降, 电流路径如图 14(b) 所示。

(3) S1 开通以后, 当流过 S1 电流上升到等于 L_{PHASE} 电流时, S2 的体二极管从续流状态经历反向恢复过程, 最终反向截止。此过程 MOSFET S2 的源漏极电压上升, S2 的寄生电容 C_{DS} 的能量主要由 $C_{\text{DC_LINK}}$ 提供。

S2 的 C_{DS} 充电的过程中, 将 S1 的导通电阻、母线电容 $C_{\text{DC_LINK}}$ 和 L_{BUS} 寄生电阻等效成一个电阻 R_{SUM} , 电路进一步减化如图 15 所示。

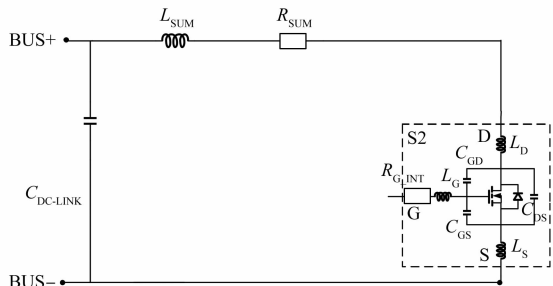


图 15 振荡电路等效回路

此时电路即为一个经典的 RLC 二阶振荡电路, 当环路的阻尼电阻:

$$R_{\text{SUM}} < \frac{1}{2} \sqrt{\frac{L_{\text{SUM}}}{C_{\text{SUM}}}} \quad (3)$$

在 C_{DS} 电压上升过程当中, 容易产生振荡^[11-12]。

4.2 振荡的解决

为解决振荡可以在母线靠近开关管位置增加吸收电容, 在此用 C_{SM} 表示, 通常选用瓷片电容或薄膜电容等低寄生电感的电容。增加 C_{SM} 后, 功率回路可以等效成图 16 回路示意图, 当 $L_{\text{LOOP}} < L_{\text{BUS}}$, 电路变为 C_{SM} 对电容 C_{DS} 充电, 由于 L_{LOOP} 的减小, 可以明显改变 C_{DS} 充电过程的振荡频率特性^[13], 当振荡仍然不可接受时, 可以增加一个电阻与 C_{SM} 串联后并入到母线当中, 增加 RLC 振荡回路的阻尼。

采用如下的仿真模型进行对比, 确认增加母线吸收之后的振荡效果, 设计负载电感为 $50 \mu\text{H}$, 设置母线电压为 120 V 。分别用 U_2 、 U_4 给定栅极控制的脉冲信号, 高电平为 $V_2 = 12 \text{ V}$, 低电平 $V_1 = 0 \text{ V}$ 。信号的上升时间 TR 、下降时间 TF 均为

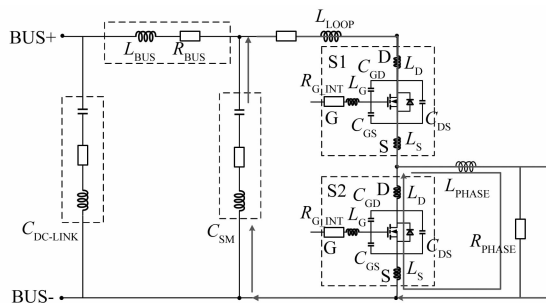


图 16 母线吸收电容工作回路示意图

$0.1 \mu\text{s}$ 。信号高电平持续脉宽 PW 为 $27 \mu\text{s}$, 信号周期 PER 为 $30 \mu\text{s}$, 仿真运行至 $80 \mu\text{s}$ 结束。

对比观察 U_2 、 U_4 的开通关断过程中的漏极电流及源漏极之间的电压波形, 可以看到, 增加的吸收电路对于振荡起到了明显抑制作用。

5 试验结果

根据本文所研究的功率 MOSFET 的寄生电感对 MOSFET 开关特性的影响, 以并联的 MOSFET 不同布局位置下的开关特性来说明验证结果。测试 MOSFET Q1、Q2 做对比。对应的电路布局以及走线如图 19 所示。PCB 主要通过大面积的铺铜来减小走线电感。

基于文献[14]的内容, 待测试 MOSFET 在焊接前进行初步的筛选, 选用小于 $U_{\text{GS_th}}$ 的偏差在 0.1 V 以内的元件进行贴片。在双脉冲测试未接入负载电感, 栅极波形如图 20 所示。

由于:

$$U_{\text{GS}} = U_{\text{GS_DRIVER}} - I_G \cdot (R_{\text{G_INT}} + R_{\text{G_ON}}) - L_S \cdot \frac{dI_D}{dt} - L_G \cdot \frac{dI_G}{dt} \quad (4)$$

没有电流流过 MOSFET, 式中 $L_S \cdot \frac{dI_D}{dt}$ 项为 0,

开通过程波形完全重合, 说明设计选用的外围器件如门极电阻、门极电容、MOSFET 栅极电容、栅极电感之间的差异几乎可以忽略。

接入负载电感, 使 MOSFET 漏过一定的电流。

在开通过程漏极电流上升阶段, 两个 MOSFET 的栅极电压波形几乎重叠, 漏极电流波上升阶段电流达到最大值时偏差小于 1%, 寄生电感 L_G 、 L_S 对于这 2 个 MOSFET 的开通均流的影响在可接受范围之内。

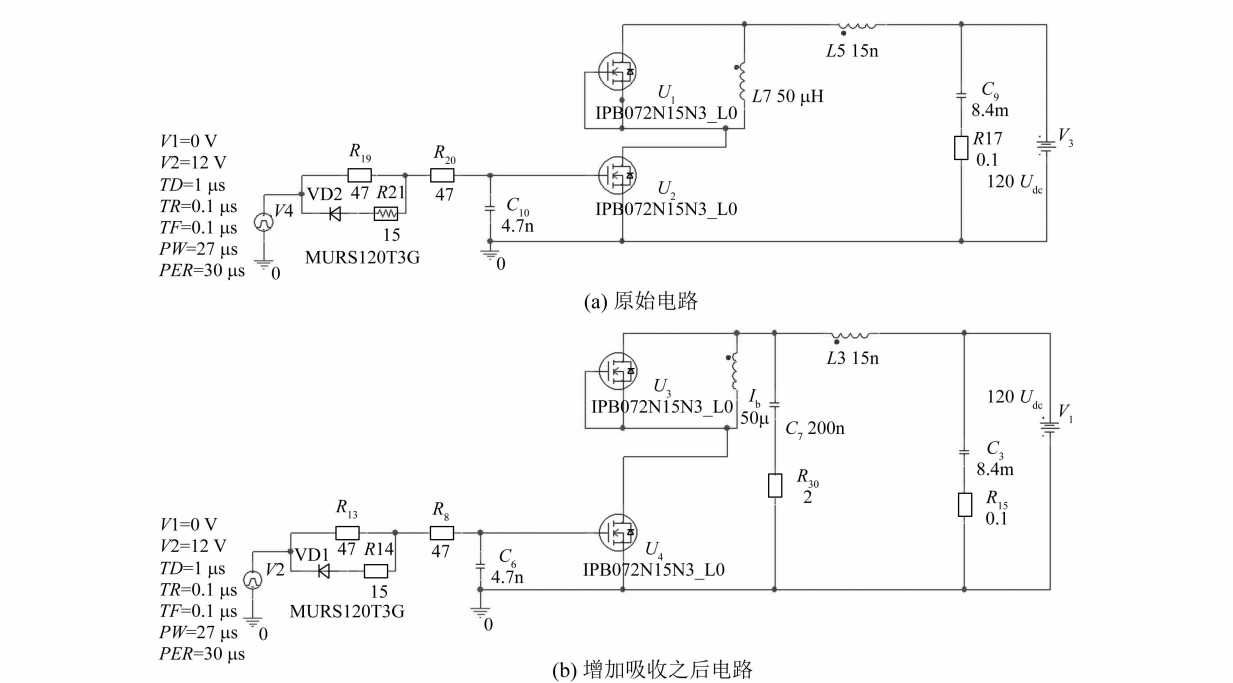


图 17 吸收前后仿真对比示意图

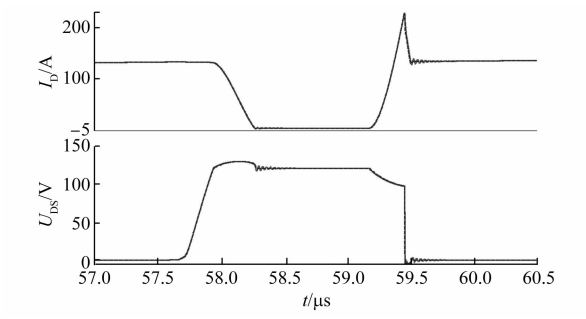


图 18 母线吸收效果对比

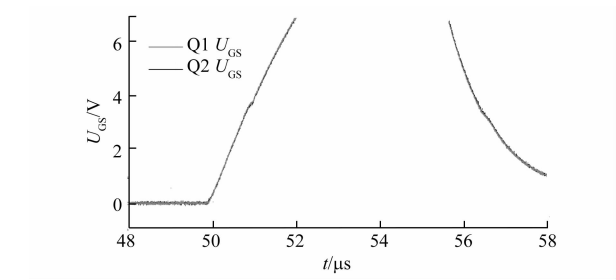


图 20 $I_D=0$, 2PCS MOSFET 栅极波形

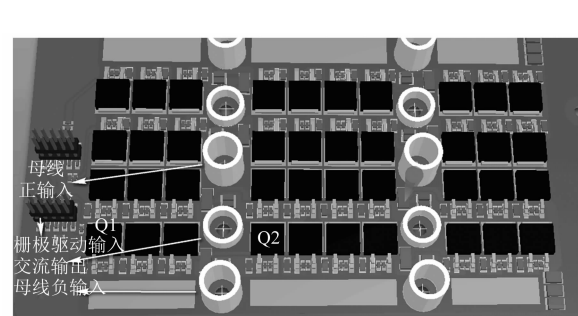


图 19 待测试 MOSFET Q1 Q2 在 PCB 当中布局

在稳态阶段, MOSFET 漏极电压的表达式如下所示:

$$U_{DS_SAT} = R_{DS_ON} \cdot I_D \tag{5}$$

MOSFET 处于并联状态, 其 U_{DS_SAT} 值相同,

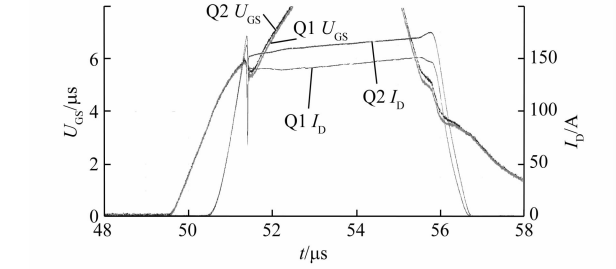


图 21 $I_D \neq 0$ 2PCS MOSFET 栅极、漏极电流

Q1、Q2 导通电阻存在一定的偏差, 稳态漏极电流 I_D 不再相同。在漏极电流下降过程, 流过更大电流的 MOSFET 其米勒平台电压更高, 关断的栅极波形不再复合, 但是关断过程中栅极电压波形的斜率没有明显的差异, 说明 L_G 、 L_S 的对 Q1、Q2 影

响可以忽略。

以上说明了布局设计合理,没有出现因为布局中的 L_s 、 L_G 导致的栅极电压波形偏差,不存在由于布局导致的并联参数偏差。

6 结 语

本文主要通过仿真试验确认 MOSFET 各处的寄生电感对于驱动电路的影响,得到结论汇总如下:

(1) 源极的寄生电感 L_s 由于将驱动回路与功率回路耦合,会降低驱动回路的驱动能力,降低开关速度,采用开尔文连接可以将驱动回路与功率回路解耦,在不改变驱动参数的情况下提高开关速度;

(2) 栅极的寄生电感 L_G 在米勒效应发生时,明显影响到外部驱动器对栅极的驱动能力,需要合理降低其感量;

(3) 漏极的寄生电感 L_D 在开通过程中通过米勒电容影响栅极的开关速度,在关断过程产生一定的电压尖峰,导致关断电压应力增大;

(4) 并联的 MOSFET 回路当中,非对称的布局会导致 MOSFET 动态过程的不均流,各个 MOSFET 承受不同的关断电压应力;

(5) 整个环路的寄生电感与 MOSFET 的源漏极寄生电容,在环路的电阻不匹配的情形下,容易产生的振荡。通过在功率 MOSFET 母线入口增加吸收电容、电阻改变振荡特性。

【参 考 文 献】

- [1] 谢宗奎. 杂散电感对 SiC MOSFET 开关过程的影响分析及优化研究[D]. 北京:华北电力大学,2019.
- [2] 伍理勋,韩洋,陆海峰,等. 寄生电感对 SiC MOSFET 开关振荡的影响及其抑制[J]. 汽车电

器,2018(7): 7.

- [3] 范春丽,余成龙,龙觉敏,等. 寄生参数对 SiC MOSFET 开关特性的影响[J]. 上海电机学院学报,2015,18(4): 191.
- [4] 孟凡坤,熊建,应翔. 新能源汽车整车控制器的 MOSFET 振铃抑制[J]. 安全与电磁兼容,2021(2): 85.
- [5] 赛米控. 低压逆变器设计解决方案[J]. 汽车电器,2020(8): A12.
- [6] 赵跃华,王凯. 功率 MOSFET 寄生振荡的研究[J]. 电子设计工程,2013,21(24): 118.
- [7] 陈文梅. 功率 VDMOS 的 EMI 分析与抑制技术[D]. 成都:电子科技大学,2017.
- [8] 修强. SiC MOSFET 器件并联均流问题研究[D]. 南京:南京航空航天大学,2020.
- [9] 黄华震,柯俊吉,孙鹏,等. 寄生电感不匹配对 SiC MOSFET 并联电流分配的影响[J]. 半导体技术,2018,43(11): 833.
- [10] 刘长柱,王林军. MOSFET 开关过程的研究及米勒平台振荡的抑制[J]. 电机与控制应用,2019,46(9): 69.
- [11] 王孝伟,李铁才,石坚,等. 三段式门极驱动抑制 MOSFET 关断过冲振荡的研究[J]. 电机与控制学报,2013,17(7): 1.
- [12] 罗剑波,范伟,彭凯. SiC MOSFET 模块高频吸收电路研究[J]. 大功率变流技术,2016(5): 23.
- [13] LIU Q, WANG S, BAISDEN A C, et al. EMI suppression in voltage source converters by utilizing DC-link decoupling capacitors[J]. IEEE Transactions on Power Electronics, 2007, 22(4): 1417.
- [14] WANG G, MOOKKEN J, RICE J, et al. Dynamic and static behavior of packaged silicon carbide MOSFETs in paralleled applications[C]//2014 IEEE Applied Power Electronics Conference and Exposition-APEC 2014, 2014.

声 明

本刊已许可万方数据、重庆维普、中国学术期刊(光盘版)电子杂志社、北京世纪超星信息技术发展有限责任公司在其网站及其系列数据库产品中以数字化方式复制、汇编、发行、信息网

络传播本刊全文。该社著作权使用费与本刊相关费用抵消。如作者不同意文章被收录,请在来稿时向本刊声明,本刊将做适当处理。

《电机与控制应用》编辑部