DOI:10.12177/emca.2024.133 文章编号:1673-6540(2024)12-0001-12 中图分类号:TM 368.1 文献标志码:A

基于电流检测的 SiC MOSFET 并联均流控制策略

姚嘉唯[1*], 贾利民[1,2]
(1.华北电力大学 国家能源交通融合发展研究院,北京 102206;
2.北京交通大学 国家轨道交通安全协同创新中心,北京 100044)

Current Detection-Based Current Sharing Control Strategy for SiC MOSFET in Parallel

YAO Jiawei[1*], JIA Limin[1,2]
(1. China Institute of Energy and Transportation Integrated Development, North China Electric Power University, Beijing 102206, China;
2. Collaborative Innovation Center for Rail Transit Safety, Beijing Jiaotong University, Beijing 100044, China)

Abstract: **[Objective]** Power devices composed of first- and second-generation semiconductor materials have reached their performance limits, making them unsuitable for more complex circuit topologies. Silicon carbide (SiC), the third-generation semiconductor material, has gradually become a research focus, and corresponding SiC devices are now at the forefront of research. Compared to traditional silicon (Si)-based devices, silicon carbide metal-oxide-semiconductor field-effect transistor (SiC MOSFET) offer superior characteristics and are widely used in high-voltage, high-frequency, and high-power-density applications. However, due to the limited current-carrying capacity of a single device, multiple devices are often used in parallel. Immature manufacturing processes and asymmetric circuit layouts cause differences in device parameters and external circuit parameters, leading to unbalanced current issues. To address this problem, this paper proposes a current-sharing control strategy. **[Methods]** This paper first analyzed and summarized the factors affecting parallel current sharing and determined the influence of each parameter. Based on the devices' switching characteristics, theoretical formulas were derived to summarize the current variation patterns. Then, a corresponding current detection circuit was designed to accurately capture current differences. Finally, a current-sharing control strategy based on adjusting multi-level driving resistance was proposed to gradually regulate unbalanced currents. **[Results]** Simulation results validated the effectiveness of the proposed control strategy, significantly reducing current imbalance. **[Conclusion]** The results show that by setting an appropriate driving resistance, the proposed control strategy can effectively achieve current sharing in dual-device parallel configurations.

Key words: SiC MOSFET; parallel connection; current sharing; current detection; driving resistance

摘 要:**【目的】**由第一代和第二代半导体材料构成的功率器件,各方面性能都已经达到自身极限,在更为复杂的电路拓扑中难以应用。第三代新型半导体材料碳化硅(SiC)逐步成为研究焦点,相应的碳化硅器件也成为研究前沿。相比于传统硅(Si)基器件,碳化硅金属-氧化物-半导体场效应晶体管(SiC MOSFET)以其更为优异的特性在高压、高频和高功率密度领域广泛应用。受到载流能力限制,往往需要多个器件并联使用。不成熟的制作工艺和不对称的电路布局,会导致器件自身参数和外部电路参数存在差异,产生不平衡电流问题。针对该问题,本文提出一种均流控制策略。**【方法】**本文首先分析和总结了并联均流影响因素,确定了各个参数的影响程度。并以器件自身开通和关断特性为基础,通过理论公式推导,总结了电流变化规律。其次,设计了对应的电流检测电路,准确获取电流差异情况。最后,提出了一种调节驱动电阻的均流控制策略,通过调节多级驱动电阻,逐步调节不平衡电流。**【结果】**仿真结果验证了所提控制策略的有效性,电流不平衡度显著减小。**【结论】**结果表明,设置合理的驱动电阻,所提出的控制策略能有效实现双管并联均流。

基金项目:国家重点研发计划项目(2021YFB2601403)
National Key Research and Development Plan Project (2021YFB2601403)

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.

关键词: SiC MOSFET; 并联; 均流; 电流检测; 驱动电阻

0 引言

功率器件作为电力电子技术的核心,正朝着高压、高频和高功率密度方向发展,被广泛应用于电机驱动、电力牵引、电能质量控制、可再生能源发电、分布式发电以及电动汽车等领域,也对器件的性能提出了更高的要求[1-5]。

碳化硅作为新型宽禁带半导体材料,其性能在绝大多数方面都比硅材料优异[6]。

由碳化硅制成的半导体器件碳化硅金属-氧化物-半导体场效应晶体管(Silicon Carbide Metal-Oxide-Semiconductor Field-Effect Transistor, SiC MOSFET)有着更高的开关速度以及更高的高温高压耐受能力、更小的导通电阻和更低的导通损耗[7-8],但单个的 SiC MOSFET 器件的载流能力有着一定限制(通常只有几十安培),在大功率、大电流的应用场合需要多个分立器件并联使用。

受到 SiC MOSFET 器件制备工艺、封装等影响,器件参数(阈值电压、导通电阻、跨导以及寄生电容等)难以保持一致,且电路布局也难以保持对称,因此在并联使用时,不可避免的造成了不平衡电流。该不平衡电流会引起器件及电路的不对等损耗,也会导致结温差异,影响器件可靠性,更为严重的是会影响系统的安全稳定运行,增加总体成本[9]。因此,有必要对 SiC MOSFET 器件并联所产生的不平衡电流进行研究,以抑制不平衡电流的产生或者实现均流运行。

为解决器件参数与外部电路参数不匹配导致的不平衡电流,目前的均流方案主要从以下几个方面考虑[10]:

1) 由器件自身着手,通过筛选器件[11],尽可能使用内部参数一致的器件。Borghese 等人从统计学角度提取参数分布,进行器件筛选以抑制不平衡电流[12]。文献[13]提出以跨导作为器件分类筛选的参数,以聚类分层算法筛选器件,但是器件参数的差异性是不可避免的,因此对于不平衡电流的抑制效果有限。

2) 由电路结构着手,Jauregi 等人通过多组对比实验,验证了对称布局可以有效地降低静态不平衡电流[14]。但是,实验仅仅针对两个并联器件,缺乏多个器件并联的对称布局设计,且该方法只适用于偶数个器件并联的情况,对于奇数个器件并联的情况将会失效。赵斌等人提出了一种新颖的椭圆形布局,上下桥臂的并联器件数目都达到了 5 个,可以有效抑制动态不平衡电流,且使得整个功率模块内的功率损耗分布更加均匀,散热效果也优于传统的商用 SiC MOSFET 功率模块[15]。

3) 采用合适的均流方案,对并联器件产生的不平衡电流进行主动抑制,文献[16]在串联小电阻实现稳态均流的基础上,提出了在两个并联 SiC MOSFET 的漏极串联耦合电感的方法,以一个较大阻抗(1 Ω~3 Ω)的耦合电感代替原有导通电阻的主导作用,在动态和静态均流方面都有显著效果。文献[17]通过理论与实验分析传统连接方式与开尔文连接方式,开尔文连接方式优化了并联器件的栅极驱动回路,使得各个器件栅极驱动回路实现了解耦运行,从而消除源极寄生电感对于驱动回路的影响,降低了开关损耗。但是,该连接方式是否能够有助于平衡并联电流,需要根据开尔文连接的具体寄生参数来进行分析。文献[18]将动态不平衡电流问题转化为数学上的非线性约束优化问题,通过寄生电感的优化准则和响应面模型,确定最佳连接点的位置,简单修改焊线即可很好地抑制开尔文源极连接多芯片 SiC 功率模块在不同工况下的动态不平衡电流。文献[19]在开尔文连接的基础上,综合设计开尔文栅极电阻和源极寄生电感(包括自感和互感)来调节不平衡电流。

这些均流方案,往往都是针对特定的运行环境或者已知的器件参数才能有效抑制不平衡电流,当环境或参数发生改变时存在失效的可能,缺乏灵活性,并不适用于所有并联器件。因此,需要在线均流方案(即闭环控制)使其能够适用于各种操作条件[10]。

文献[20]提出了一种有源电流平衡(Active Current Balancing, ACB)方案,通过差动电流互感器检测不平衡电流并将其转化为相应的修正信号,主动调整栅极驱动信号,由此形成一个闭环控制策略。但是,该方案需要大约 200 μs~300 μs 才能最终达到平衡。

浙江大学通过检测源极寄生电感上的感应电压,以高速运算放大器作为反馈元件,通过注入和

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.

吸收电流来实现均流，在此基础上又提出了主从拓扑结构，可以应用于多个器件并联[21]。

有源栅极驱动器(Active Gate Driver，AGD)作为一种栅极驱动器技术，可以根据实际运行情况调整输出[22]，由检测和反馈两部分组成，可以实现实时动态均流，是目前闭环均流的主要调节手段[23-26]。

文献[25]通过设置不同的栅极驱动电压调节瞬态电流边缘和电流斜率以此实现均流，并开展了多工况验证。文献[26]提出动态调节栅极驱动电阻以实现电流延迟时间与电流斜率同步，逐步抑制电流不平衡，但是需要在同一个开关周期的不同阶段采用不同的驱动电阻值，是一个复杂的控制过程。

本文在此基础上，分析并总结影响器件均流的不同因素，以器件开通和关断特性为基础分析电流斜率与延迟时间存在的特殊关系(延迟时间与电流斜率通常呈现相反的变化趋势，且与驱动电阻成正比)，设计电流检测电路，提出以电流斜率为控制对象，延迟时间自动修正的简化均流控制策略并对所提出的策略进行仿真验证。

1 SiC MOSFET 并联均流影响因素分析

SiC MOSFET 并联产生的不平衡电流可以分为瞬态不平衡电流和稳态不平衡电流。其中，瞬态不平衡电流是器件开通或关断瞬间所产生的不平衡电流，稳态不平衡电流是器件开通后产生的不平衡电流。

器件内部的参数差异与外部电路的参数差异是 SiC MOSFET 并联产生不平衡电流的主要原因。器件内部的参数包括阈值电压(U_{TH})、导通电阻($R_{DS(on)}$)、跨导(g_m)和寄生电容等，这些参数是器件自身结构、制作和封装工艺带来的。不同参数差异造成的影响有所不同，后续均以图 1 为研究对象进行影响因素的分析总结。

1.1 SiC MOSFET 自身参数的影响

受到制作工艺影响，即使同一批次的器件，参数也可能存在差异。其中，U_{TH} 主要影响器件开通或关断瞬态的电流；$R_{DS(on)}$ 主要影响器件开通后稳态的电流；g_m 的分散性相较于其他参数较小；寄生电容等参数对于器件不平衡电流影响较小[27]，本文不做考虑。

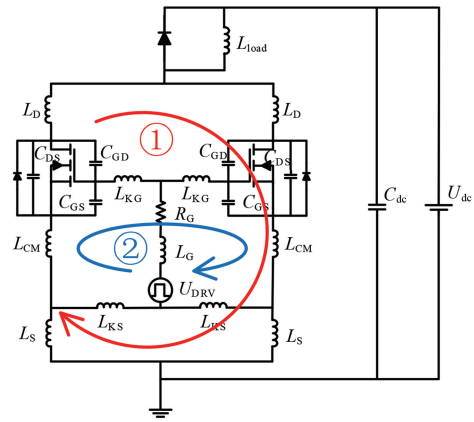


图 1 含寄生参数的 SiC MOSFET 并联电路模型

Fig. 1 Parallel SiC MOSFET circuit model with parasitic parameters

1.1.1 阈值电压 U_{TH} 的影响

根据 MOSFET 输出特性，器件开通状态下，其漏极电流与栅源电压关系如式(1)所示：

$$i_D = \frac{\mu C_{ox} W}{2L}(u_{GS} - U_{TH})^2 \tag{1}$$

式中：μ 为电子迁移率；C_{ox} 为单位面积氧化层电容；W 为沟道宽度；L 为沟道长度；u_{GS} 为栅源电压。

令 $K=\mu C_{ox}W/(2L)$，设并联的两个器件的阈值电压分为别 U_{TH1} 和 U_{TH2}，栅源电压分别为 u_{GS1} 和 u_{GS2}。漏极电流差可以表示为

$$\Delta i_D = K(u_{GS1} + u_{GS2} - U_{TH1} - U_{TH2}) \times (\Delta u_{GS} - \Delta U_{TH}) \tag{2}$$

式中：Δu_{GS} 为栅源电压差；ΔU_{TH} 为阈值电压差。

在栅源电压一致的情况下，器件的并联均流仅受到阈值电压差的影响。但是在栅源电压不一致的情况下，也会影响漏极电流的平衡。从式(2)可以看出，如果栅源电压差和阈值电压差相等时，也可以实现瞬态均流。

1.1.2 导通电阻 $R_{DS(on)}$ 的影响

导通电阻不同，导通后的分流效果存在差异，从而引起漏极电流不平衡。假设并联的两个器件的导通电阻分别为 $R_{DS(on)1}$ 和 $R_{DS(on)2}$，则流过两个器件的稳态电流 i_{D1} 和 i_{D2} 可以表示为

$$\begin{cases} i_{D1} = \dfrac{R_{DS(on)2}}{R_{DS(on)1} + R_{DS(on)2}} \cdot i_o \\ i_{D2} = \dfrac{R_{DS(on)1}}{R_{DS(on)1} + R_{DS(on)2}} \cdot i_o \end{cases} \tag{3}$$

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.

式中:i_o 为输出电流总和。

导通电阻的差异越大,漏极电流的差异也越大。随着器件的运行,结温随之上升,导通电阻的正温度系数对于并联器件的稳态电流不平衡有自抑制作用,在过去的研究中通常忽略导通电阻的影响。

1.2 外部电路参数的影响

外部的参数主要是引脚寄生电感、驱动电路的线路布局导致的寄生电感以及漏极、源极连接线的寄生电感[28-29]。其主要可以分为漏极寄生电感 L_D,共源极寄生电感 L_{CM},源极寄生电感 L_S,栅极寄生电感 L_G 以及开尔文连接引入的栅极回路寄生电感 L_{KG}、L_{KS}。

本文通过两个回路对外部电路参数进行分析,分别为功率回路(影响器件稳态电流,图 1 中回路 1)和驱动回路(影响器件瞬态电流,图 1 中回路 2)。

功率回路方程如式(4)所示:

$$(L_{D1}+L_{CM1}+L_{S1})\frac{\mathrm{d}i_{D1}}{\mathrm{d}t}+i_{D1}R_{DS(on)1}=(L_{D2}+L_{CM2}+L_{S2})\frac{\mathrm{d}i_{D2}}{\mathrm{d}t}+i_{D2}R_{DS(on)2} \tag{4}$$

驱动回路方程如式(5)所示:

$$u_{GS1}+(L_{KG1}+L_{KS1})\frac{\mathrm{d}i_{G1}}{\mathrm{d}t}+L_{CM1}\frac{\mathrm{d}i_{D1}}{\mathrm{d}t}=u_{GS2}+(L_{KG2}+L_{KS2})\frac{\mathrm{d}i_{G2}}{\mathrm{d}t}+L_{CM2}\frac{\mathrm{d}i_{D2}}{\mathrm{d}t} \tag{5}$$

式中:i_G 为栅极电流。

文献[30]对外部电路参数逐个进行了分析与仿真验证,其结果如表 1 所示。

表 1 外部电路参数影响

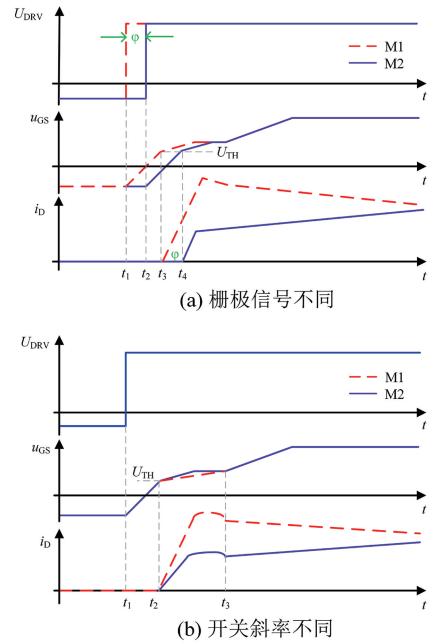
Tab. 1 Effects of external circuit parameters

参数名称	瞬态电流	稳态电流
L_D	无影响	√
L_{CM}	√	○
L_S	√	○
L_G、L_{KG}、L_{KS}	√	无影响

表 1 中,√为主要影响,○为次要影响。可以发现外部电路参数对于瞬态电流的影响程度较大。

1.3 影响因素等效分析

器件自身参数和外部电路参数主要影响器件开通瞬态的电流平衡,从理论上可以等效成两类[31]:栅极信号不同(延迟)、开关斜率相同和栅极信号相同、开关斜率不同。最终两类信号的差异会在漏极电流上体现,如图 2 所示。



(a) 栅极信号不同

(b) 开关斜率不同

图 2 两类等效影响因素及漏极电流差异对比

Fig. 2 Two types of equivalent influencing factors and comparison of their drain current differences

从图 2 中可以看出漏极电流的差异主要可以分为:电流延迟时间不同和电流斜率不同。实际电路中,这两种差异往往会同时出现,即漏极电流既在斜率上有差异同时又有着一定的延迟时间差异。

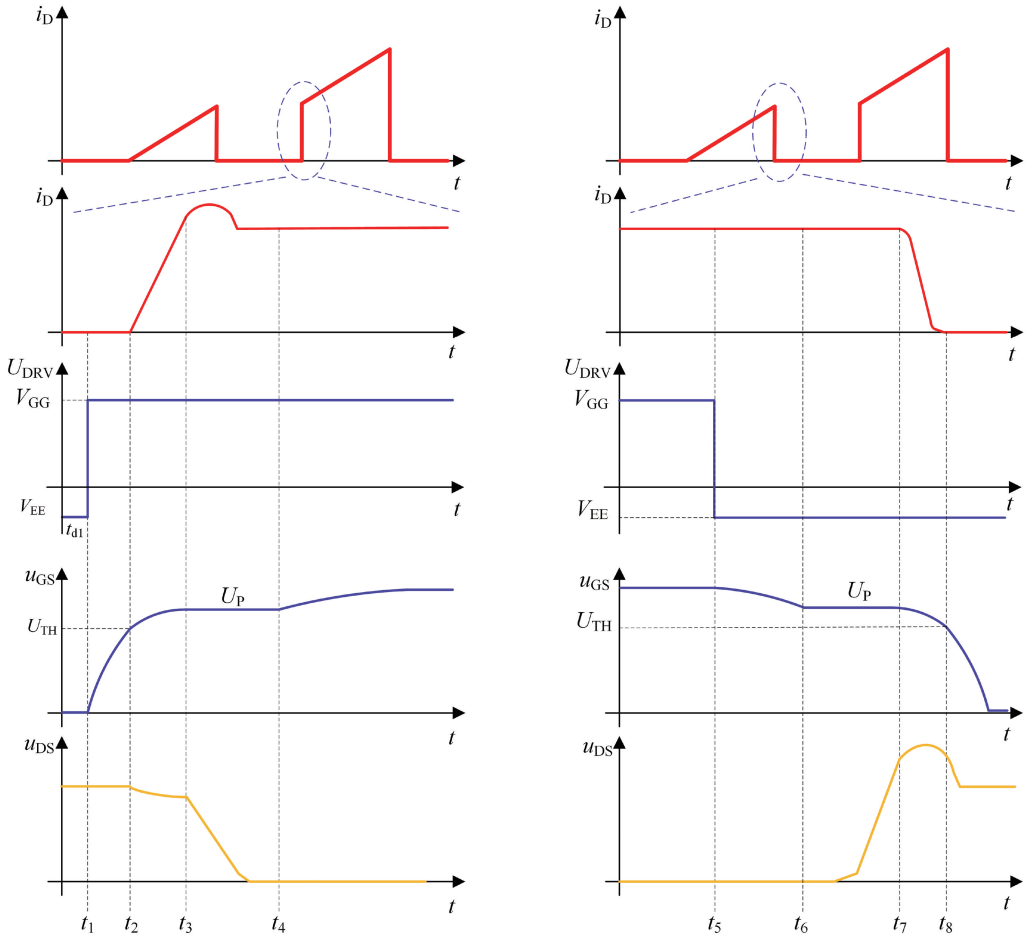
通过调节驱动回路,使得电流延迟时间和电流斜率相同,即可实现均流。依据图 3 中的器件自身开通和关断特性推导瞬态电流差异与驱动回路中驱动电阻 R_G 的关系。

1) 在器件开通阶段,给出开通信号,经过一定延迟 t_{d1} 达到 t_1 时刻,对 MOSFET 提供驱动电压 U_{DRV}(或 V_{GG}),对输入电容 C_{iss} 进行充电,使得栅源电压 u_{GS} 逐步上升至器件的阈值电压,即 t_2 时刻,器件开通,漏极电流逐步上升。

从器件开始启动到漏极电流开始上升的时间可以通过输入电容 C_{iss} 充电时间与延迟时间进行叠加计算。充电时,电容电压主要集中在寄生电容 C_{GS} 上,如式(6)所示:

$$u_{GS}(t)=U_{DRV}(1-\mathrm{e}^{-\frac{t-t_1}{\tau_{iss}}}) \tag{6}$$

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.



(a) 开通过程　　(b) 关断过程

图 3　器件开通和关断过程特性

Fig. 3　Turn-on and turn-off characteristics of MOSFET

式中：τ_{iss} 为时间常数，$\tau_{iss}=R_G C_{iss}$。

当 $t=t_2$ 时，$u_{GS}(t_2)=U_{TH}$，可反解出充电时间：

$$t_2-t_1=\tau_{iss}\ln\left(\frac{U_{DRV}}{U_{DRV}-U_{TH}}\right) \tag{7}$$

整个开通瞬态的时间为

$$t_{don}=t_{d1}+\tau_{iss}\ln\left(\frac{U_{DRV}}{U_{DRV}-U_{TH}}\right) \tag{8}$$

电流斜率可通过对式(1)进行微分得到，并考虑驱动回路对于瞬态电流的主要影响，进行推导可得：

$$\frac{\mathrm{d}i_D}{\mathrm{d}t}=g_m\frac{U_{DRV}-u_{GS}}{C_{iss}R_G+g_mL_S} \tag{9}$$

式中：g_m 为跨导，$g_m=\mathrm{d}i_D/\mathrm{d}u_{GS}$。

此时的栅源电压 u_{GS} 可以由米勒平台电压 U_P 计算得到[32]，如式(10)所示：

$$U_P=U_{TH}+\frac{i_D}{g_m} \tag{10}$$

2）在器件关断阶段，给出关断信号，经过一定的延迟达到 t_5 时刻，驱动信号由 V_{GG} 变为关断电压 V_{EE}。为确保有效关断，关断电压 V_{EE} 取值小于 0 V。栅源电压 u_{GS} 开始降低，到 t_6 时刻，下降到米勒平台电压 U_P，此时米勒电容 C_{rss} 开始放电，栅源电压 u_{GS} 保持不变。t_7 时刻放电结束，漏极电流开始下降。

从器件开始关断到漏极电流开始下降的时间可以通过栅源电压下降至米勒平台电压与米勒电容 C_{rss} 放电时间进行叠加计算。整个关断瞬态的时间为

$$t_{doff}=\tau_{iss}\ln\left(\frac{U_{DRV}}{U_P}\right)+\frac{Q_{ds}R_G}{U_P} \tag{11}$$

电流斜率可以直接对式(9)取相反数：

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.

$$\frac{\mathrm{d}i_{\mathrm{D}}}{\mathrm{d}t}=g_{\mathrm{m}}\frac{u_{\mathrm{GS}}-U_{\mathrm{DRV}}}{C_{\mathrm{iss}}R_{\mathrm{G}}+g_{\mathrm{m}}L_{\mathrm{S}}} \tag{12}$$

对于器件开通和关断的分析可以看出,电流开通斜率与驱动电阻成反比,延迟时间与驱动电阻成正比。器件的开通和关断时刻的漏极电流可以通过驱动电阻的调节来改变斜率以及延迟时间,从而实现 SiC 器件并联均流。

2 电流检测及运算电路设计

准确获取电流变化趋势及差异,是后续对其有效控制的前提。所设计电流检测电路如图 4 所示。

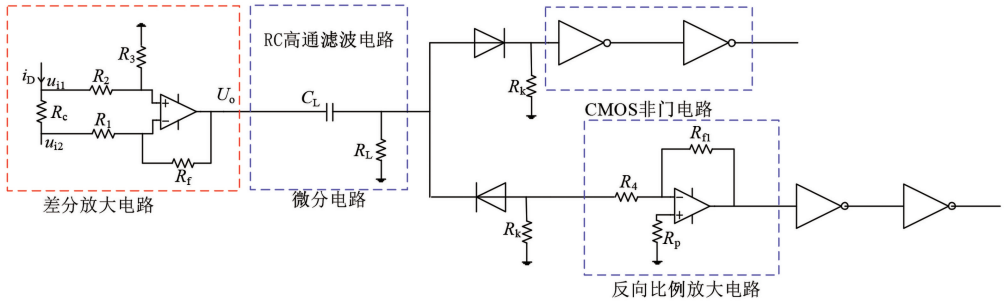


图 4 电流检测电路

Fig. 4 Current detection circuit

由图 4 可知,电流检测电路主要包含以下几个部分:差分放大电路、RC 滤波电路以及非门电路。关断状态,多接入一个反向比例放大电路,可以将电压转换为正值,以便后续分析。

2.1 差分放大电路

在 MOSFET 的源极端口接入一个阻值 0.1 Ω 的测量电阻 R_{c},电阻两端的电压即为电流波形。通过差分放大电路进行放大。

由于测量电阻使得测量值是实际值的 1/10,设置特殊电阻值,使得 $R_1=R_2=1\ \mathrm{k\Omega}$,$R_3=R_{\mathrm{f}}=10\ \mathrm{k\Omega}$,在简化参数设计的同时,可以得到与漏极电流大小一致的电压波形。

此外,在功率回路中各自接入一个测量电阻可以在一定程度上对开通后的稳态不平衡电流产生一定的抑制效果,减小稳态电流的不平衡程度[16]。

在 LTspice 中搭建仿真电路并进行验证,仿真结果如图 5 所示,差分放大电路输出的电压即为 MOSFET 的漏极电流。

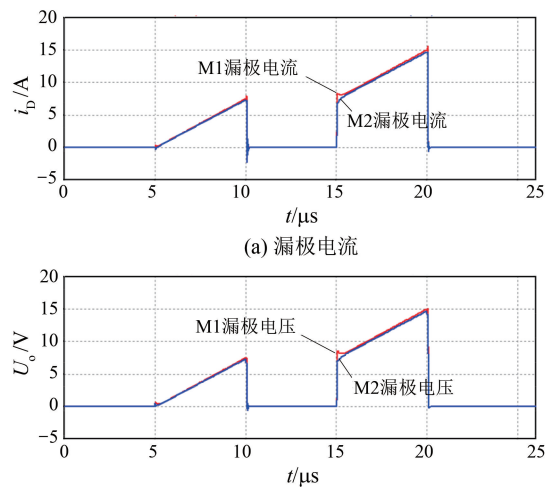


图 5 差分放大电路结果对比

Fig. 5 Comparison of results for differential amplification circuits

2.2 RC 滤波电路(微分电路)

为获得漏极电流斜率,在电流检测之后接入微分电路。直接采用集成运算放大器搭建微分电路,存在自激振荡问题,容易使电路不稳定,往往需要辅助电路配合使用,大大增加了电路的复杂程度。而 RC 高通滤波电路在时间常数 τ 较小时,可以近似为微分电路。相比于集成运放电路更为简单,且避免了自激振荡问题。其中,C_{L} 为滤波电容,R_{L} 为滤波电阻。

以脉冲信号作为输入,则该电路输入输出关系可以分为零状态和零输入响应。设置的参数 $C_{\mathrm{L}}=30\ \mathrm{pF}$,$R_{\mathrm{L}}=1\ \mathrm{k\Omega}$。此时截止频率约为 5.3 MHz,能够与电流检测电路的集成运算放大器相匹配。

2.3 非门电路

微分电路输出经过由互补金属氧化物半导体(Complementary Metal Oxide Semiconductor,

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.

CMOS）构成的两个 CMOS 非门即可得到最终的高低电平信号，作为检测信号。传统的逻辑门电路难以在如此高频率的电路正常工作，因而此处搭建由 P 沟道 MOS 管（P-channel Metal Oxide Semiconductor，PMOS）和 N 沟道 MOS 管（N-channel Metal Oxide Semiconductor，NMOS）构成的非门电路，将两管栅极接到一起作为信号输入端口，漏极接到一起作为信号输出端口，PMOS 源极接高电平 V_{dd}，NMOS 源极接低电平 V_{ss}，即构成非门电路，如图 6 所示。

其输入输出关系可分为三段（V_{Tn} 和 V_{Tp} 为两管各自的阈值电压）：

1）$u_i \in [V_{ss}, V_{ss}+V_{Tn}]$：NMOS 关断，PMOS 导通，输出高电平 V_{dd}。

2）$u_i \in (V_{ss}+V_{Tn}, V_{dd}-|V_{Tp}|]$：NMOS 和 PMOS 均导通，输出电平由 V_{dd} 向着 0 变化。

3）$u_i \in (V_{dd}-|V_{Tp}|, V_{dd}]$：PMOS 关断，NMOS 导通，输出低电平 V_{ss}。

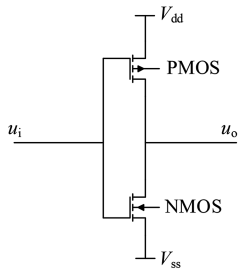


图 6　CMOS 非门电路

Fig. 6　CMOS NOT gate circuit

将两个非门串联，并在前面加入两个反方向二极管来区分开通和关断时刻，最终输出处理好的高低电平信号，比较两者差异来调节驱动电阻，实现均流。

非门输出结果如图 7 所示，以第二次开通时刻为例（15 μs 时刻），当电流不平衡时，两管输出的电平存在差异。其中，高电平起始时间不同代表电流延迟时间存在差异，持续时间不同代表电流斜率存在差异。

3　SiC MOSFET 并联均流策略及仿真

SiC MOSFET 并联时的不平衡电流可以归纳为电流的上升或下降速度（斜率）以及开通或关断的延迟时间存在差异。斜率与延迟时间又可以

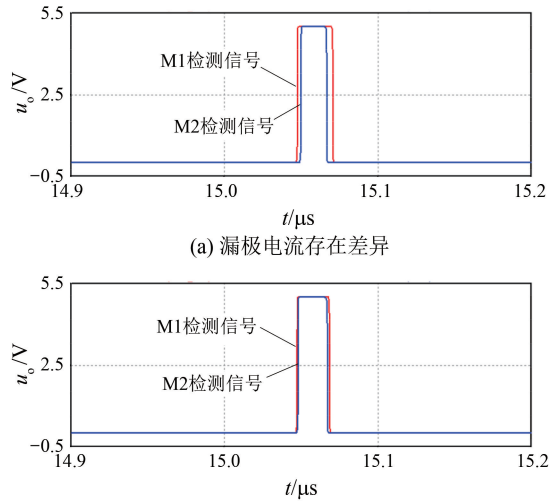


图 7　CMOS 非门电路输出电压

Fig. 7　Output voltage of CMOS NOT gate circuit

通过一些参数进行调节，其中，对驱动电阻 R_G 的调节最为便捷和有效。

通过设置多级驱动电阻，可以实现驱动电阻的动态调节，以此来实现 SiC MOSFET 并联均流，其结构示意图如图 8 所示[26]。

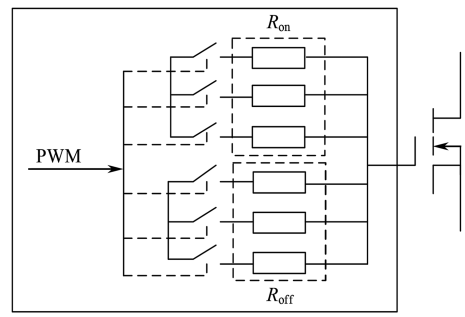


图 8　多级驱动电阻结构示意图

Fig. 8　Schematic diagram of multi-level driving resistance structure

3.1　控制策略

器件开通时刻，由式（8）和式（9）可知，在提供准确数据的情况下可以实现驱动电阻的准确求解，但是在实际仿真中，由于受到开通瞬态时间短、测量精度不够和固定参数误差等影响，无法对于驱动电阻进行一个准确求解。因此，对于驱动电阻明确其变化趋势，进行多级调节来逐步实现减小不平衡电流是一个相对容易实现的策略。

以两管并联为例，对控制策略进行说明。两管分别定义为 M1 和 M2，以其中一个管子为参

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.

考,通过相应的检测装置,对电流信号进行检测并进行相应的处理,之后比较两个电流信号之间的差异,判断应该增大或者减小驱动电阻值。

以 M1 作为参考,将检测到的 M1 的漏极电流信号作为参考信号,并以开关周期作为控制周期。在一个开关周期中,将开通瞬态检测到的 M2 漏极电流信号与参考信号比较,若 M2 的电流斜率大于(小于)M1 的电流斜率,则在下一个开关周期对 M2 的驱动电阻值进行增大(减小),从而调节电流斜率。经过多次调节,最终实现 SiC MOSFET 并联均流。

在实际仿真中发现,延迟时间与电流斜率通常呈现相反的变化趋势,即电流斜率小的管子,延迟时间大。而延迟时间与驱动电阻成正比,电流斜率与驱动电阻成反比。在对电流斜率的调节过程中,也对延迟时间进行了一定修正。如果再对延迟时间进行调节,则需要在两个控制目标之间做出取舍或者寻找平衡点。文献[26]中,在一个开关周期内调整两次驱动电阻,先后对电流延迟时间和电流斜率进行调整,使得控制过程变得繁琐。因此,本文只以电流斜率为最终控制目标进行控制,延迟时间随之自动修正,以简化控制策略。

该控制策略也可用于多管并联情况,多次调节将多管电流逐步调节趋近参考值。在此基础上设置合理的控制电路以及驱动电阻取值范围,可以实现闭环均流控制。

3.2 仿真分析

以图 1 为基础,通过 LTspice 搭建双管并联电路,采用普通的 MOSFET 连接方式,具体的电路图如图 9 所示。

驱动电路采用推挽电路,来产生高低电平。将两个电阻并联作为关断时刻的电阻。主电路中将共源极寄生电感和源极寄生电感等效成一个寄生电感 L_S,同时 MOSFET 多用母排进行连接,将母排上的寄生电感集中在一起,等效为母排杂散电感 L_{bus}。

仿真参数设置如表 2 所示,采用的 SiC MOSFET 为 CREE 公司的 C3M0075120D,M1 直接采用下载的模型,M2 通过调整库文件改变阈值电压,使得两管存在差异。其余 SiC MOSFET 自身的参数保持不变。

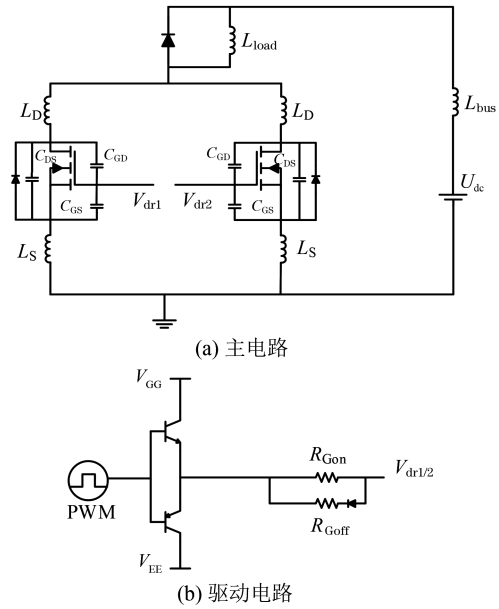


图 9 SiC MOSFET 并联测试电路

Fig. 9 SiC MOSFET parallel test circuit

表 2 仿真参数

Tab. 2 Simulation parameters

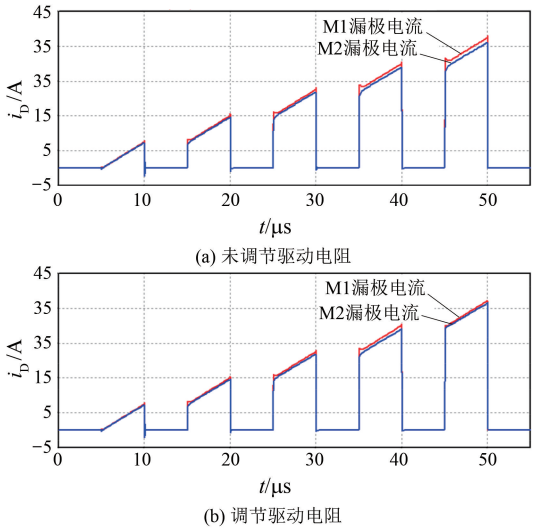
参数名称	参数值
直流母线电压 U_{dc}/V	600
母排杂散电感 L_{bus}/nH	30
负荷电感 L_{load}/μH	200
漏极寄生电感 L_D/nH	5
M1 源极寄生电感 L_{S1}/nH	10
M2 源极寄生电感 L_{S2}/nH	12
栅极驱动正电压 V_{GG}/V	18
栅极驱动负电压 V_{EE}/V	−5
M1、M2 阈值电压 U_{TH1}、U_{TH2}/ V	2.5、3.3
M1 驱动电阻 R_{Gon1}、R_{Goff1}/Ω	20、10

由于检测信号均为模拟电路生成的模拟信号,信号连续且开通瞬态对于整个开关周期占比很小,所以难以通过一些逻辑门电路进行控制检测。此处通过不同驱动电阻值检测电路中的输出情况,设置不同开关周期内的动作情况来模拟多级调节过程,以验证所提控制策略的合理性和有效性。传统的双脉冲试验无法实现多个开关周期调节过程,因此将其改为多脉冲试验,从第三个脉冲开始调节驱动电阻,漏极电流变化情况如图 10 所示。

根据式(13)计算不同开关瞬态的电流不平衡度 k,具体结果如表 3 所示。

$$k = \frac{\Delta i_D}{i_o/2} = 2 \times \frac{|i_{D1} - i_{D2}|}{i_{D1} + i_{D2}} \times 100\% \quad (13)$$

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.

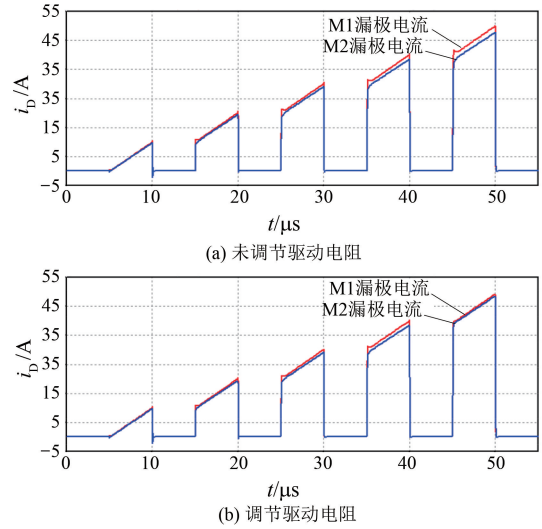


(a) 未调节驱动电阻

(b) 调节驱动电阻

图 10　调节前后漏极电流对比(600 V)

Fig. 10　Comparison of drain current before and after adjustment (600 V)



(a) 未调节驱动电阻

(b) 调节驱动电阻

图 11　调节前后漏极电流对比(800 V)

Fig. 11　Comparison of drain current before and after adjustment (800 V)

从表 3 中的数据可以看出未调节驱动电阻时开通瞬态的电流不平衡度较大，在调节驱动电阻后，开通瞬态的电流不平衡度逐渐降低。但是调节前后，关断瞬态的电流不平衡度变化较小。仿真结果与理论分析一致，器件并联均流的影响因素主要对开通瞬态影响较大，对关断瞬态影响较小，且调节驱动电阻可以有效抑制 SiC 器件并联时产生的不平衡电流。

表 3　不同开关周期漏极电流不平衡度对比

Tab. 3　Comparison of drain current imbalance for different switching cycles　%

开通周期	未调节驱动电阻	调节驱动电阻
第 3 开通	17.38	14.06
第 3 关断	5.34	2.98
第 4 开通	14.88	11.13
第 4 关断	5.40	4.09
第 5 开通	13.35	3.59
第 5 关断	4.76	3.34

改变工况，将直流电压母线 U_{dc} 设置为 800 V，此时的结果如图 11 所示。从图中可以看出漏极输出电流有所增大，但是调节栅极驱动电阻之后，仍可抑制不平衡电流，实现均流。

4　结语

为保证 SiC 器件并联时开通瞬态的均流，本文提出了一种 SiC 器件并联均流控制策略。该策略以电流斜率为调节目标，通过调节驱动电阻实现斜率调节，同时对延迟时间进行一定程度的自动修正，有效抑制不平衡电流。

从 SiC 器件并联均流的影响因素入手，分析并总结了不同参数对于 SiC 器件并联时不平衡电流的影响。并以器件开通和关断特性为基础分析了并联时漏极电流产生的差异，以及驱动电阻对于不同电流差异的比例关系；设计了相应的电流检测电路，通过该电路检测电流差异，为均流控制策略提供依据；最后，利用不同工况下的仿真结果，验证了所提出的策略能够有效抑制 SiC 器件并联产生的不平衡电流。

参 考 文 献

[1] 盛况，郭清，张军明，等. 碳化硅电力电子器件在电力系统的应用展望[J]. 中国电机工程学报，2012，32(30)：1-7.
SHENG K，GUO Q，ZHANG J M，et al. Development and prospect of SiC power devices in power grid [J]. Proceedings of the CSEE，2012，32(30)：1-7.

[2] 盛况，任娜，徐弘毅. 碳化硅功率器件技术综述与展望[J]. 中国电机工程学报，2020，40(6)：1741-1753.
SHENG K，REN N，XU H Y. A recent review on silicon carbide power devices technologies [J]. Proceedings of the CSEE，2020，40(6)：1741-1753.

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.

[3] 蔡蔚, 孙东阳, 周铭浩, 等. 第三代宽禁带功率半导体及应用发展现状[J]. 科技导报, 2021, 39(14): 42-55.
CAI W, SUN D Y, ZHOU M H, et al. Third generation wide bandgap power semiconductors and their applications [J]. Science & Technology Review, 2021, 39(14): 42-55.

[4] 钱照明, 张军明, 盛况. 电力电子器件及其应用的现状和发展[J]. 中国电机工程学报, 2014, 34(29): 5149-5161.
QIAN Z M, ZHANG J M, SHENG K. Status and development of power semiconductor devices and its applications [J]. Proceedings of the CSEE, 2014, 34(29): 5149-5161.

[5] 孙新函. 基于 SiC 的电动汽车用纯电驱动单元研究[J]. 电机与控制应用, 2022, 49(5): 82-86.
SUN X H. Study on electric drive unit for electric vehicle based on SiC [J]. Electric Machines & Control Application, 2022, 49(5): 82-86.

[6] 吴玲, 赵璐冰. 第三代半导体产业发展与趋势展望[J]. 科技导报, 2021, 39(14): 20-29.
WU L, ZHAO L B. Development and trend of the third generation semiconductor industry [J]. Science & Technology Review, 2021, 39(14): 20-29.

[7] FUKUDA K, OKAMOTO D, OKAMOTO M, et al. Development of ultrahigh-voltage SiC devices [J]. IEEE Transactions on Electron Devices, 2015, 26(2): 396-404.

[8] RANSTAD P, NEE H-P, LINNER J, et al. An experimental evaluation of SiC switches in soft-switching converters [J]. IEEE Transactions on Power Electronics, 2014, 29(5): 2527-2538.

[9] CHEN J, PENG H, CHENG Z P, et al. A novel power loop parasitic extraction approach for paralleled discrete SiC MOSFETs on multilayer PCB [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2021, 9(5): 6370-6384.

[10] LI H L, ZHAO S, WANG X F, et al. Parallel connection of silicon carbide MOSFETs-challenges, mechanism, and solutions [J]. IEEE Transactions on Power Electronics, 2023, 38(8): 9731-9749.

[11] 唐伟峰, 王长江. 功率器件的并联均流研究[J]. 电气传动, 2023, 53(3): 15-21.
TANG W F, WANG C J. Research on current sharing of parallel power devices [J]. Electric Drive, 2023, 53(3):15-21.

[12] BORGHESE A, RICCIO M, FAYYAZ A, et al. Effect of parameters variability on the performance of SiC MOSFET modules [C] // 2018 IEEE International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles & International Transportation Electrification Conference, Nottingham, 2018.

[13] KE J J, ZHAO Z B, SUN P, et al. Chips classification for suppressing transient current imbalance of parallel-connected silicon carbide MOSFETs [J]. IEEE Transactions on Power Electronics, 2020, 35(4): 3963-3972.

[14] JAUREGI A, GARRIDO D, BARAIA-ETXABURU I, et al, Static current unbalance of paralleled SiC MOSFET modules in the final layout [C] // 2020 IEEE Vehicle Power and Propulsion Conference, Gijon, 2020.

[15] ZHAO B, SUN P, YU Q P, et al. Layout-dominated dynamic imbalanced current analysis and its suppression strategy of parallel SiC MOSFETs [J]. IEEE Transactions on Device and Materials Reliability, 2021, 21(3): 394-404.

[16] 曾正, 邵伟华, 胡博容, 等. 基于耦合电感的 SiC MOSFET 并联主动均流[J]. 中国电机工程学报, 2017, 37(7): 2068-2081.
ZENG Z, SHAO W H, HU B R, et al. Active current sharing of paralleled SiC MOSFETs by coupling inductors [J]. Proceedings of the CSEE, 2017, 37(7): 2068-2081.

[17] 曾正, 李晓玲, 曹琳, 等. 开尔文连接对功率模块并联均流影响的对比评估[J]. 中国电机工程学报, 2019, 39(18): 5480-5489+5596.
ZENG Z, LI X L, CAO L, et al. Evaluation on current sharing of power module affected by Kelvin connection [J]. Proceedings of the CSEE, 2019, 39(18): 5480-5489+5596.

[18] ZHAO C, WANG L L, ZHANG F, et al. A method to balance dynamic current of paralleled SiC MOSFETs with Kelvin connection based on response surface model and nonlinear optimization [J]. IEEE Transactions on Power Electronics, 2021, 36(2): 2068-2079.

[19] MAO Y C, MIAO Z C, WANG C M, et al. Balancing of peak currents between paralleled SiC MOSFETs by drive-source resistors and coupled power-source inductors [J]. IEEE Transactions on

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.

Industrial Electronics，2017，64(10)：8334-8343.

[20] XUE Y，LU J J，WANG Z Q，et al. Active current balancing for parallel-connected silicon carbide MOSFETs [C] // 2013 IEEE Energy Conversion Congress and Exposition，Denver，CO，2013.

[21] WANG X，HE Y，ZHANG J M，et al. An active gate driver for dynamic current sharing of paralleled SiC MOSFETs [C] // 2021 IEEE Energy Conversion Congress and Exposition，Vancouver，BC，2021.

[22] ZHAO S，DEARIEN A，WU Y H，et al. Adaptive multi-level active gate drivers for SiC power devices [J]. IEEE Transactions on Power Electronics，2020，35(2)：1882-1898.

[23] DU L Y，DU X，ZHAO S，et al. Digital close-loop active gate driver for static and dynamic current sharing of paralleled SiC MOSFETs [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics，2024，12(2)：1372-1384.

[24] BORTIS D，BIELA J，KOLAR J W. Active gate control for current balancing of parallel-connected IGBT modules in solid-state modulators [J]. IEEE Transactions on Plasma Science，2008，36(5)：2632-2637.

[25] WEN Y，YANG Y，GAO Y. Active gate driver for improving current sharing performance of paralleled high-power SiC MOSFET modules [J]. IEEE Transactions on Power Electronics，2021，36(2)：1491-1505.

[26] 张瑜，田鸿昌，文阳. 基于动态栅极电阻的 SiC MOSFET 主动并联均流方法[J]. 高压电器，2023，59(9)：286-293.
ZHANG Y，TIAN H C，WEN Y. Active parallel current sharing method of SiC MOSFET based on dynamic gate resistance [J]. High Voltage Apparatus，2023，59(9)：286-293.

[27] 孙鹏，魏昌俊，柯俊吉，等. 器件特性参数对 SiC MOSFET 静动态均流影响的实验研究[J]. 智能电网，2017，5(8)：757-764.
SUN P，WEI C J，KE J J，et al. Experimental investigations of the influences of characteristic parameters on static and dynamic current sharing of SiC MOSFET [J]. Smart Grid，2017，5(8)：757-764.

[28] 黄轶愚，谭会生，吴义伯，等. SiC MOSFET 功率模块的并联均流研究[J]. 半导体技术，2022，47(6)：481-487.
HUANG Y Y，TAN H S，WU Y B，et al. Research on parallel current sharing of SiC MOSFET power modules [J]. Semiconductor Technology，2022，47(6)：481-487.

[29] 杨文杰. 寄生电感对于功率 MOSFET 开关特性的影响[J]. 电机与控制应用，2021，48(12)：94-103.
YANG W J. Influence of parasitic inductance on switching characteristic of power MOSFET [J]. Electric Machines & Control Application，2021，48(12)：94-103.

[30] 修强. SiC MOSFET 器件并联均流问题研究[D]. 南京：南京航空航天大学，2021.
XIU Q. Study on current sharing in parallel of SiC MOSFET devices [D]. Nanjing：Nanjing University of Aeronautics and Astronautics，2021.

[31] WANG C，ZHAO S，WANG J，et al. Analytical model of the parallel-connected silicon carbide MOSFET turn-on switching behavior under asynchronous gate signals [C] // 2022 IEEE Transportation Electrification Conference and Expo，Asia-Pacific，Haining，2022.

[32] 秦海鸿，张英，朱梓悦，等. 寄生电容对 SiC MOSFET 开关特性的影响[J]. 中国科技论文，2017，12(23)：2708-2714.
QIN H H，ZHANG Y，ZHU Z Y，et al. Influence of parasitic capacitance on switching characteristic of SiC MOSFET [J]. China Sciencepaper，2017，12(23)：2708-2714.

收稿日期：2024-07-14
收到修改稿日期：2024-09-19

作者简介：

姚嘉唯(1999-)，男，硕士研究生，研究方向为 DC/DC 变换器环流抑制，yjw991117@163.com；

*通信作者：姚嘉唯(1999-)，男，硕士研究生，研究方向为 DC/DC 变换器环流抑制，yjw991117@163.com。

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.

 DOI: 10.12177/emca.2024.133

Current Detection-Based Current Sharing Control Strategy for SiC MOSFET in Parallel

YAO Jiawei[1*], JIA Limin[1,2]

(1. China Institute of Energy and Transportation Integrated Development, North China Electric Power University, Beijing 102206, China;
2. Collaborative Innovation Center for Rail Transit Safety, Beijing Jiaotong University, Beijing 100044, China)

Key words: SiC MOSFET; parallel connection; current sharing; current detection; driving resistance

Currently, with the large-scale adoption of new energy sources, new power systems are gradually being developed. A prominent feature of these systems is the extensive use of power electronic devices. As core components connecting different types of energy sources and grid structures, converters, inverters, and rectifiers play a crucial role in ensuring safe and stable operation. Power devices, as the fundamental components of power electronic equipment, are of undeniable importance. As power electronics technology evolves toward higher voltage, higher power, higher operating temperatures, and higher power density, power devices based on first- and second-generation semiconductor materials can no longer meet the requirements of these applications. The complexity of circuit topologies and increasingly harsh operating environments significantly increase failure rates and costs of equipment.

Semiconductor devices made from silicon carbide (SiC) material, such as silicon carbide metal-oxide-semiconductor field-effect transistor (SiC MOSFET), offer significant advantages over traditional silicon-based devices. They feature higher switching speeds, superior tolerance to high temperatures and voltages, lower on-resistance, and reduced conduction losses. However, the current-carrying capacity of a single SiC MOSFET is limited (typically only a few dozen amperes), requiring multiple discrete devices to be connected in parallel for high-power, high-current applications.

Building on existing research, this paper analyzed and summarized the factors affecting the parallel operation of devices mentioned above and proposed a relatively simple current-sharing control strategy.

First, due to the impacts of SiC MOSFET fabrication processes, packaging, and other factors, device parameters are difficult to keep consistent. As a result, when used in parallel, transient and steady-state currents exhibit some differences, inevitably leading to current imbalance. Additionally, variations in device pin configurations during packaging and layout issues when connecting multiple devices in parallel can result in uneven distribution of stray inductances, further affecting transient and steady-state currents.

By analyzing the turn-on and turn-off characteristics of the devices, it was found that adjusting the driving resistance can effectively regulate the current slope and delay time, which are inversely proportional. When the current slope is adjusted, the delay time is automatically corrected to some extent.

A current detection circuit was also designed to capture current trends and differences. Based on this foundation, a current-sharing control strategy for SiC MOSFETs in parallel was proposed. Combining the above analysis, multi-level driving resistances were configured, taking one SiC MOSFET as a reference and incrementally adjusting another device to gradually achieve current sharing between the two devices. Simulations were conducted to verify the effectiveness of the proposed control strategy.

© Editorial Office of Electric Machines & Control Application. This is an open access article under the CC BY-NC-ND 4.0 license.